

UNIVERSITÉ DE SHERBROOKE
Faculté de génie

DÉVELOPPEMENT DE PROCÉDÉS
AVANCÉS D'ENCAPSULATION DE
COMPOSANTS MICROÉLECTRONIQUES
BASÉS SUR LES TECHNIQUES DE
THERMOCOMPRESSION

Thèse de doctorat
Spécialité : génie mécanique

Salwa Ben Jemaa

MEMBRES DU JURY

Julien SYLVESTRE

Directeur

Hélène FREMONT

Évaluatrice

Dominique DROUIN

Évaluateur

David DANOVITCH

Évaluateur

À mes parents

Hatem et Hela Ben Jemaa

RÉSUMÉ

L'un des grands défis de la recherche et développement est d'optimiser l'ensemble du cycle de fabrication d'un produit microélectronique, depuis sa conception jusqu'à sa tenue mécanique en service. Un objectif essentiel des entreprises était de réduire le temps de cycles d'assemblage afin de minimiser les coûts de production. La phase d'assemblage des composants microélectroniques est l'une des étapes clé qui doit être bien optimisée afin d'atteindre l'objectif de minimisation du temps de cycle. La méthode d'assemblage traditionnelle des puces par refusion (en anglais *mass reflow* MR) convenait généralement à une fabrication à grand volume, en particulier pour des puces à pas standard d'environ 150 μm . Cependant, la forte demande du marché pour des interconnexions à pas plus fin, pour permettre un nombre d'entrée/sortie (Input/Output : I/O) plus élevé dans un facteur de forme plus petit, a entraîné une transition du processus de la liaison MR conventionnel à l'assemblage par thermocompression (en anglais *ThermoCompression Bonding* TCB).

Bien que le procédé TCB offre un assemblage de plus grande précision et permet l'utilisation des pas d'interconnexion plus fins, il présente également de nouveaux défis. L'un des problèmes majeurs de l'assemblage TCB est qu'il s'agit d'un processus assez long, dans lequel chaque puce doit être passée indépendamment à travers un cycle TCB complet, incluant le chauffage, le maintien de la température et le refroidissement. Cela entraîne une diminution significative de la productivité par rapport au MR. Le débit de production peut être amélioré en réduisant le temps nécessaire pour atteindre les températures de processus requises. Cependant, des variations thermiques peuvent se produire aux interfaces de liaison, entraînant une mauvaise uniformité de température sur la surface de la puce et conduisant à des régions où le point de fusion de la brasure n'est pas atteint. Ainsi, il est extrêmement important de prévoir et contrôler la température réelle à l'interface de liaison afin d'obtenir une bonne uniformité thermique et des joints de brasure sans défaut.

C'est dans cette perspective que s'inscrit les travaux menés dans la première partie de la thèse. Le premier objectif de cette étude était donc de déterminer la durée minimum de temps de chauffe nécessaire assurant une uniformité de température optimal et par conséquent des joints de brasure de bonne qualité. Pour atteindre cet objectif, il fallait alors proposer et valider une nouvelle méthodologie pour estimer la température d'interface lors d'un processus TCB. Une évaluation de l'influence de différentes vitesses de chauffe sur la distribution de température à travers la surface de la puce, ainsi que sur la qualité de liaison résultante, a été réalisée à l'aide d'un capteur de type RTD (). Les résultats ont montré que les défauts de brasure observés aux interfaces de liaison peuvent éventuellement être liés à une mauvaise uniformité de température, liée à des vitesses de chauffe élevées. Des variations thermiques acceptables ont été trouvées à une faible vitesse de chauffage de 80°C/s. Par conséquent, pour surmonter les températures de processus élevées et leurs effets néfastes sur la productivité, le développement d'une nouvelle méthode d'assemblage TCB à basse température devient primordiale. Le développement d'une nouvelle méthode de liaison par thermocompression à l'état solide détecteur de température résistif, *Resistance Temperature Detector* en anglais était donc notre second objectif dans cette étude. Cette méthode est basée sur la création d'une liaison mécanique temporaire initiale au début du processus de packaging (en utilisant une pression à une température inférieure au point de fusion de la brasure). Les joints de

brasure seront entièrement refondus à la fin du processus de packaging, lorsque les billes de brasure BGA (*ball-grid-array*) seront brasées au substrat.

Cette nouvelle méthode peut surmonter les limitations associées au processus TCB conventionnel, notamment la température élevée, le processus d'assemblage lent et les contraintes mécaniques élevées. Une investigation a été menée pour déterminer les conditions d'assemblage appropriées à appliquer pendant ce processus. Des investigations supplémentaires ont été également menées pour explorer le mécanisme d'assemblage responsable de l'assemblage mécanique temporaire. Les résultats préliminaires de cette méthode sont prometteurs, montrant des joints de brasure de bonne qualité formés en un temps d'assemblage très court (6 secondes) et à des températures bien inférieures au TCB conventionnel (200°C).

Mots clés : assemblage TCB, uniformité de température, TCB à basse température.

REMERCIEMENTS

Je voudrais tout d'abord remercier mon directeur de thèse, Pr. Julien Sylvestre pour sa disponibilité, son engagement et sa patience tout au long de ma formation. Merci de m'avoir permis de travailler sur ce projet. Je lui exprime ma gratitude pour son soutien moral dans les moments difficiles, sa compréhension, et son aide pour surmonter les obstacles que j'ai rencontrés durant ces années d'études doctorales.

Je remercie également les membres de mon comité d'encadrement Pr. Dominique Drouin et Pr. David Danovitch, pour leurs commentaires constructifs, supports et encouragements, et Pr. Hélène Fremont pour avoir accepté d'évaluer ma thèse.

Je tiens à remercier nos partenaires industriels 'IBM Canada' et tout le personnel du centre de collaboration C2MI, pour leur accueil dans leur laboratoire de recherche. Mes remerciements vont spécialement à Pascale Gagnon, Steve Whitehead, Serge Martel, Stéphane Barbeau, Edgar Tremblay, Pierre Beaulieu, et Valérie Oberson qui ont participé activement aux réflexions et soutiens techniques pour ce projet de recherche.

J'aimerais remercier également la grande communauté de mon laboratoire de recherche, le 3IT, pour leur accueil et leur encadrement. Je remercie particulièrement le directeur du 3IT Richard Arès, les professeurs, les professionnels de recherches, et les techniciens de laboratoires; Papa Momar Souare, Jean-François Morissette, Omidreza Ghaffari, Abdelatif Jaouad, Pierre Langlois, René Labrecque, Etienne Paradis, Marie-Josée Gour, Denis Pellé, Etienne Léveillé, Caroline Paulin, et Etienne Grondin. Il m'est impossible d'oublier de remercier tous mes collègues Malak, Élodie, Assane, Dominic, Maxime, Jinto, Abderrahim, Ahmed...

Mes sincères remerciements vont à mes chers parents qui n'ont jamais cessé de croire en moi et de me soutenir. Malgré la distance, leur confiance et leur amour sans faille m'appuient et m'aident à aller de l'avant tous les jours. Merci pour avoir fait de moi la personne que je suis aujourd'hui. J'adresse mes plus vifs remerciements à ma sœur Faten, mon frère Bellahsan, ma cousine Meriam, et à tous les membres de ma famille qui ont partagé avec moi les émotions et les sacrifices tout au long de mon parcours. Je tiens à remercier particulièrement mon mari Riadh pour son soutien quotidien indéfectible, sa patience, sa confiance, et pour son amour.

Je remercie finalement mes amis Hend, Sonia, Safa, Refka ... pour leurs encouragements et leur soutien. Un grand merci aussi à mes amis Hatem et Issam pour leur aide précieuse, leur écoute, et leur présence dans les moments de stress.

TABLE DES MATIÈRES

RÉSUMÉ.....	iii
REMERCIEMENTS	v
TABLE DES MATIÈRES	vi
LISTE DES FIGURES.....	ix
LISTE DES TABLEAUX.....	xiii
LISTE DES ACRONYMES	xiv
CHAPITRE 1	1
INTRODUCTION.....	1
1.1 Introduction générale	1
1.2 Le packaging en microélectronique.....	4
1.3 Les techniques d'interconnexion	5
1.3.1 La liaison filaire <i>wire-bonding</i>	6
1.3.2 La liaison par puce retournée flip chip.....	6
1.3.2.1 Assemblage Flip chip par brasage.....	7
1.3.2.2 Assemblage Flip chip par des substances adhésives	8
1.4 Définition du projet de recherche.....	9
1.5 Objectifs	11
1.6 Plan de la thèse.....	13
CHAPITRE 2	15
ÉTAT DE L'ART.....	15
2.1 Les procédés d'assemblage flip chip.....	15
2.1.1 L'assemblage par refusion <i>mass reflow</i>	15
2.1.2 L'assemblage par thermocompression (TCB).....	17
2.1.2.1 Principe de la TCB	18
2.1.2.2 Les enjeux de la TCB	21
2.1.2.3 Caractérisations des gradients thermiques et du profil de température la tête de liaison TCB.....	22
2.1.2.4 Effet du temps de cycle d'assemblage.....	26
2.1.2.5 Méthodes d'assemblage à basses températures	30
2.2 Conclusion.....	33
CHAPITRE 3	35
In-situ Measurement Method for Temperature Profile Optimization During Thermo-Compression Bonding Process.....	37

3.1	Abstract.....	37
3.2	Introduction	38
3.3	Development of the RTD Sensor Chip.....	41
3.3.1	Design	41
3.3.2	Sensor Calibration.....	43
3.4	TCB: Test Vehicle and Thermal Characterization Setup	45
3.5	Experimental Results and Discussion.....	47
3.5.1	Steady-State Temperature Measurements.....	47
3.5.2	Dynamic Temperature Measurements	48
3.5.3	Bonding Quality Evaluation.....	52
3.6	Conclusion.....	56
CHAPITRE 4		58
Development and Optimization of New Flip-Chip Bonding Technique Using Temporary Low-Temperature Thermocompression Bonding.....		58
4.1	Abstract.....	60
4.2	Introduction	61
4.3	Materials and Experimental Procedures.....	64
4.3.1	Test Vehicles.....	64
4.3.2	Experimental Procedures	65
4.3.2.1	BATE Process Overview.....	65
4.3.2.2	Bond Characterization.....	66
4.4	Investigation of the Temporary Joints	67
4.5	Bonding Mechanism	70
4.5.1	Dynamic Recrystallization Mechanism	70
4.5.2	Plastic Deformation and Oxide Layer Removal.....	80
4.5.3	Diffusion Mechanism.....	85
4.5.4	Bonding Mechanism Synthesis	88
4.6	BATE Process Characterization After BGA Reflow.....	89
4.6.1	Solder Joint Microstructure Characterization.....	89
4.6.2	Electrical Bonding Characterization	90
4.7	Conclusion.....	91
CHAPITRE 5		93

CONCLUSION ET PERSPECTIVES	93
5.1 Conclusion générale	93
5.2 Suggestion de travaux futurs	96
ANNEXE	98
Bond At The End: A Comprehensive Study of a New High-Throughput Bonding Process	98
1.1. Abstract.....	100
1.2. Introduction	100
1.3. Bate Process Development: Materials and Assembly Process	101
1.3.1. Test Vehicles.....	101
1.3.2. Bonding Method and Profile.....	102
1.4. Bonding Influence on Tensile Strength	102
1.5. Mechanism of Temporary Bond Formation.....	103
1.6. Process Optimization	107
1.7. Reliability Results	109
1.8. Conclusion.....	111
LISTE DES RÉFÉRENCES	113

LISTE DES FIGURES

Figure 1.1	Croissance du nombre de transistors dans les microprocesseurs Intel [1].	1
Figure 1.2	Les différents niveau de mise en boîtier [5].	5
Figure 1.3	Les techniques d'interconnexion les plus utilisées : a) la liaison filaire wire-bonding, b) l'assemblage de puce retournée <i>flip chip</i> [6].	6
Figure 1.4	Image MEB des billes d'interconnexion [12].	7
Figure 1.5	Diagramme schématique et des images MEB dans des coupes transversales d'assemblages flip chip : (a,b) ICA, (c,d) ACA, et (e,f) NCA [19].	9
Figure 2.1	Schéma du processus d'assemblage flip chip par refusion [24].	16
Figure 2.2	Non-wet trouvé avec le processus de refusion [32].	17
Figure 2.3	a) Comparaison du gauchissement lors de l'assemblage par thermocompression et par refusion, b) contrainte de la couche low-k induite par TCB et refusion [47][42].	18
Figure 2.4	Procédé d'assemblage TCB [50].	19
Figure 2.5	Un exemple de produit Apple iPhone A10 lié à l'aide de processus TCB. L'image en haut au milieu indique l'emplacement de la coupe transversale du processeur A10 avec des images agrandies à gauche, à droite et en bas [52].	20
Figure 2.6	Un exemple de profil d'assemblage TCB.	21
Figure 2.7	Un exemple montrant l'implantation des thermocouples entre la puce et le substrat[49].	23
Figure 2.8	a) Disposition des billes de brasure et emplacement des capteur RTD dans le véhicule de test, b) mesures thermiques in situ [39].	23
Figure 2.9	a) Micrographie MEB de la puce. Les liaisons par fils établissent la connectivité électrique avec le système d'acquisition de données, b) emplacement des capteurs RTD sur la surface de puce, la région «+» en surbrillance indique les emplacements des 28 RTD utilisés pour l'extraction du signal [40].	24
Figure 2.10	a) Disposition des billes de connexion avec emplacements des capteur RTD, b) Flux de chaleur à travers l'empilement de plusieurs puces pendant TCB, c) Résultats de température pendant le processus TCB pour la première étape d'empilement multi-puces (empilées à 3 piles) [60].	25
Figure 2.11	Graphique de débit de production: unité par heure vs temps de cycle [36].	27
Figure 2.12	Description du procédé LPC TCB [63].	28
Figure 2.13	Comparaison du temps de cycle du processus et décomposition en composants individuels. Les différentes étapes du processus d'assemblage TCB sont représentées dans des tons de bleu [33].	29
Figure 3.1	Schematic of temperature measurements with the RTD sensor.	39
Figure 3.2	a) Layout of RTD sensor array, b) serpentine pattern for two RTD.	41
Figure 3.3	Fabrication process of RTD sensor: 1) clean Si wafer, 2) SiO ₂ deposition, 3) spinning and patterning of photoresist, 4) evaporation of Cr/Cu/Au/Cr, 5) liftoff of metals, 6) SiO ₂ passivation layer deposition, 7) spinning and patterning and etching of photoresist for the second photolithographic process, 8) acetone cleaning.	42
Figure 3.4	a) Number and location of RTD in the test chip, a) the residuals from the straight-lines calibration data of the 16 RTD.	43
Figure 3.5	Thermal response time of an RTD.	44

Figure 3.6	Steady-state temperature in the solder bumps versus set bonding tool temperature: the red line corresponds to the linear fit of data at the center of chip (RTD N°1) and the black line corresponds to the linear fit at the edge (RTD N°16).	48
Figure 3.7	RTD thermal profiles responses with different heating rates: a) 50°C/s, b) 80°C/s, c) 100°C/s, d) 180°C/s, the arrow in each figure indicates the time at which time the heating set-point of 400°C was reached.	49
Figure 3.8	Temperature maps on a quarter of the chip, recorded at different heating rates: a) 50°C/s, b) 80°C/s, c) 100°C/s, d) 180°C/s. The contours show linearly interpolated temperatures on the measurement 4×4 array (i.e., 16 RTD) on a 9 mm × 9 mm surface area (1/4 of the chip area).	50
Figure 3.9	Thermal profile responses: the red and blue lines correspond to the steady-state profile at a set point temperature of 400°C obtained at a heating rate of 150°C/s (referring to Figure 3.6) for the center and the edge, respectively. The black and green lines correspond to the thermal response profile at a heating rate of 100°C/s (referring to Figure 3.7.c) for the center and the edge, respectively.	51
Figure 3.10	Surface temperature non-uniformity as function of heating rate.	52
Figure 3.11	Optical micrograph of cross-section of the joints. a) near contact (bridge defect) at 50°C/s, b) normal or defects free at 80°C/s, c) non-wets 100°C/s, d) non-wets or non-contact (opens) at 180°C/s.	52
Figure 3.12	Dye and pry results in regions at the edge and center of the chip at different heating rates: 50°C/s, 80°C/s, 100°C/s and 180°C/s; arrows indicate joints lifting from the UBM interface.	54
Figure 3.13	Pull strength per bump and frequency of occurrence as a function of the heating rate. The red line corresponds to the non-wets frequency of occurrence and the black line corresponds to tensile strength.	56
Figure 4.1	a) schematic of the process, b) flow chart of the BATE assembly method.	63
Figure 4.2	schematic drawing of the test vehicle TV1 (not to scale).	65
Figure 4.3	Effect of bonding temperature and force on the tensile strength. Error bars indicate the range of values obtained over 3 different measurements.	68
Figure 4.4	Cross-sectional SEM micrographs for samples assembled under different bonding conditions: a), b) and c) at 0.36 N/bump, and e), f), g) at 0.18 N/bump for 200, 150, and 100°C, respectively.	69
Figure 4.5	Effect of bonding parameters on IBR and tensile strength for the samples bonded. IBR show averages of bond ratios measurements on 5 random joints located along the cross-sectioned sample. Error bars indicate the range of values obtained.	70
Figure 4.6	Geometry defining types of IGBM: a) triple junction (red), b) strain-induced interface grain boundary migration (green). Dashed lines represent the original interfacial grain boundary.	73
Figure 4.7	a) DRX distribution maps of the tested samples (TV1) characterized previously in figure 4.4 (section 4.4), blue color denotes strain-free grains, yellow color denotes substructured grains, red color denotes deformed grains. In the images, black and grey lines identify the high angle grain boundaries (>15°) and low angle grain boundaries (2–15°), respectively. b) and c) show distributions of recrystallized, sub-structured, and deformed fractions for 0.18 N/bump and 0.36 N/bump, respectively. Columns show averages of frequency measurements on 5 random joints. The error bars indicate the range of the frequency values obtained over 5 different measurements.	74

Figure 4.8	The inverse pole figure (IPF) maps, where each color coded according to the crystallographic orientation given in the stereographic triangle. Lines indicate various boundaries; Black lines indicate a misorientation angle at the grain boundary larger than 15°, corresponding to our definition of HAGB. White, and green lines indicate LAGB with a misorientation angle between 2° and 5°, and between 5° and 10°, respectively.	76
Figure 4.9	Distribution of misorientation angles measured between adjacent pixels for the samples bonded at: a) 0.18 N/bump, b) 0.36 N/bump. Columns show averages of frequency measurements on 5 random joints. The error bars indicate the range of the frequency values obtained over 5 different measurements.	78
Figure 4.10	Examples of SEM characterization at the bonding interface under various bonding conditions. The red arrows highlight the position of the original bonding interface. Regions of interface grain boundary migration at triple junctions are marked by black circles. A region of strain-induced interface grain boundary migration is marked by a green rectangle.	79
Figure 4.11	Quantitative results of IGBM ratio (left axis). Columns show averages of ratios measurements on 5 random joints, error bars indicate the range of values obtained over these 5 different measurements. The blue line linking the tensile strength data is a guide to the eye.	80
Figure 4.12	EDS interface examination of a joint bonded at 200°C and 0.36 N/bump, showing a double layer of oxide, identified by the oxygen intensity (red line). Tin, silver, and copper intensities are reported by purple, blue, and green lines, respectively. The Y-axis depicts the number of X-rays counts received and processed by the detector. The scan position (X-axis distance) is marked by yellow line in the SEM image (inset). The distance between the dashed lines provides the thickness of the interface oxide layers.....	81
Figure 4.13	Effects of plasma pretreatment on joints strength. Points show averages of 3 measurements, and error bars indicate the range of values obtained among 3 replicate measurements.	82
Figure 4.14	Effect of bonding temperature and force on the interfacial bond ratio for the samples pretreated with plasma, a) samples bonded at 0.18N/bump, b) samples bonded at 0.36 N/bump.	83
Figure 4.15	a) DRX fraction for the samples pretreated with plasma and bonded at 0.36 N/bump, b) IGBM ratio of joints bonded at 0.36 N/bump.....	84
Figure 4.16	SEM interface measurement of the oxide thickness. Values show averages of oxide thickness on 5 random joints on the sample (one sample by assembly condition).....	85
Figure 4.17	SEM and EDS analysis: a) pre-assembled Sn-1.4%Ag solder bump images (bump denote the solder deposited on the top side of the die), b) pre-assembled SAC 305 solder pad (Pad denote the solder on the substrate side to which the solder bump will be joined) , c) upper joint zone d) lower joint zone.	86
Figure 4.18	Element mapping image for Sn, Ag, and Cu. The three elements are colored differently in their respective maps (red for Ag, blue for Sn, and green for Cu). The higher color intensities correspond to an increased elementary concentration at a given point.....	87
Figure 4.19	SEM micrograph of interfacial microstructure showing a number of EDS mappings over selected areas.....	87
Figure 4.20	Interfacial bonding mechanism during BATE process: a) breakage of the oxide films and formation of high dislocation densities , b) rearrangement of dislocations to form cellular substructures, c) formation of new recrystallized grains which can enhance the IGBM; the red arrows represent the intersections of the grain boundaries along the bonding interface at triple junctions, and the green arrows represent the difference in stored energies producing stain induced IGBM, d) migration of grain boundaries at the interfaces, resulting in interlocking structures. ..	88

Figure 4.21	Metallographic cross-sections of joint obtained after BGA reflow process: a) bonded at 0.36 N/bump without hot transport, U/F refers to underfill, b) bonded 0.36 N/bump with hot transport, c) bonded 0.25 N/bump with hot transport.	90
Figure 1	Tensile strength results.	103
Figure 2	EBSD IPF for a) sample A, and b) sample B. c) colormap for beta Sn grain orientation. The arrows indicate the temporary bonding interfaces.	104
Figure 3	Distribution of misorientation angles in samples A and B, and in a sample with the same condition as sample B, but without plasma.	105
Figure 4	SEM micrograph of sample B and magnified interfacial zones. The arrows and the dashed lines indicate interfacial grain boundaries migration.	105
Figure 5	Bond ratio and IGBM ratio under different bonding conditions. The dashed blue line linking the tensile strength data is a guide to the eye.	106
Figure 6	Interfacial bonding mechanism: a) plastic deformation of solder bumps and breaking of oxide layer, b) interaction of the dislocations to form subgrains, c) development of new grains and HAGB, with grain boundary migration, d) interlocking between the grains at the interface (shown in green).	106
Figure 7	Tensile pull stress (σ_{zz}) and shear stress (σ_{rz}) in the chip corner as function of temperature.	107
Figure 8	Cross-sectional optical micrographs under different bonding forces: a) 0.36 N/bump, b) 0.30 N/bump, and c) 0.25 N/bump, all at 200°C and with plasma treatment.	109
Figure 9	a) C-SAM, and b) X-ray tomography images for a sample bonded at the optimal bonding condition (0.25 N/bump and 200°C with plasma treatment).	109
Figure 10	Finite element model for stress analysis under thermal cycling: a) conventional joint and b) hourglass-shaped solder joint.	110
Figure 11	Cumulative distribution functions (CDF) of the von Mises stress distributions.	111

LISTE DES TABLEAUX

Tableau 2-1	Comparaison entre différents procédés d'assemblages.	17
Tableau 2-2	Facteurs influençant la qualité finale des interconnexions.	21
Table 3-1	Inspection test results.	55
Table 4-1	Electrical measurements results with 95% uncertainties on yield.	91
Table 1	Electrical measurements results.	108
Table 2	Reliability results.	110

LISTE DES ACRONYMES

TCB: ThermoCompression Bonding (Assemblage par thermocompression)

BGA: Ball Grid Array (Matrice de réseaux de billes de brasures)

CTE : Coefficient of Thermal Expansion (Coefficient d'expansion thermique)

C4 : Controlled Collapse Chip Connection (Interconnexions Flip-Chip standard)

EDS : Energy-dispersive X-ray spectroscopy (Spectroscopie de rayons X à dispersion d'énergie)

IMC : Intermetallic Compound (Composé intermétallique)

MEB: Microscopie électronique à balayage (Scanning Electron Microscopy SEM)

PCB : Printed Circuit Board (Carte à circuits imprimés)

EBSD : Electron BackScatter Diffraction (diffraction d'électrons rétrodiffusés)

RTD : Resistance Temperature Detector (détecteur de température résistif)

NCP : Non Conductive Past (matériau de sous-remplissage appelé pâte non conductrice)

NCF : Non Conductive Film (matériau de sous-remplissage appelé film non conductrice)

CHAPITRE 1

INTRODUCTION

1.1 Introduction générale

La demande mondiale pour des produits microélectroniques notamment les ordinateurs, les téléphones portables, les appareils photos, les téléviseurs, etc., ne cesse de croître de façon spectaculaire. Ces produits microélectroniques, présents partout, apportent une contribution positive et innovatrice à l'ensemble des domaines de notre vie quotidienne (santé, sécurité, éducation, etc.). Le développement des composants microélectroniques devient un défi technologique incontournable compte tenu de la miniaturisation continue des puces microélectroniques. Le but de la miniaturisation est de rendre ces appareils plus petits, plus puissants, et moins chers. La course vers la miniaturisation des composants a suivi la célèbre logique de la loi de *Moore*, énoncée dès 1965 par Gordon Moore (co-fondateur d'Intel). Moore a affirmé par une prédiction empirique le doublement de la capacité d'un circuit intégré, en nombre de transistors, à tous les deux ans (figure 1.1). Au cours des dernières années, cette loi est devenue de plus en plus difficile à respecter en raison de la complexité accrue des circuits intégrés, de l'accroissement continu des fonctionnalités, et essentiellement de la miniaturisation des transistors parvenus à leurs limites physiques.

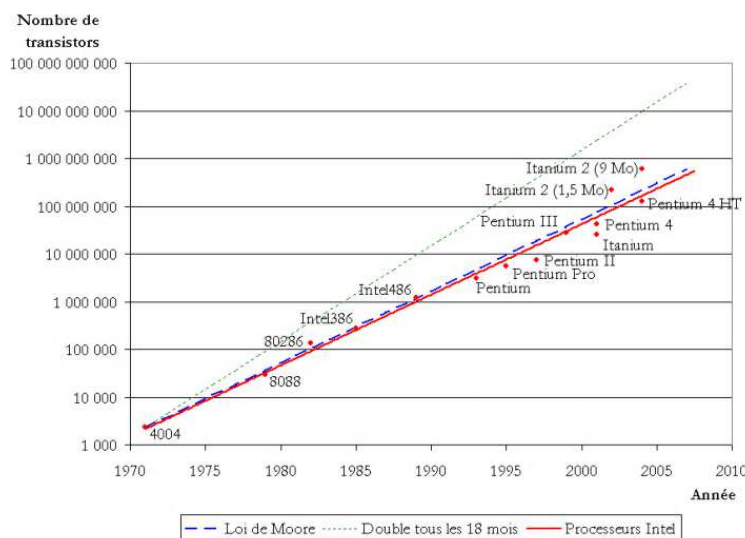


Figure 1.1 Croissance du nombre de transistors dans les microprocesseurs Intel [1].

Pour faire face aux limites technologiques et pour répondre aux exigences spécifiques de densité, de performances, de facteur de forme et de coût, des nouvelles techniques et d'intégration de circuits sont apparus, telles que le système dans un boîtier ou en anglais *System in Package* (SiP), le système sur une puce ou *system on a chip* (SoC), et l'intégration 3D (3DIC). SiP est un dispositif de circuit intégré qui rassemble un certain nombre de circuits intégrés dans un seul boîtier ou module. La technique SoC repose sur la cointégration de plusieurs fonctions électroniques sur un seul substrat de silicium. L'intégration 3D consiste à empiler verticalement des composants par la technologie prédominante de puce retournée flip chip. Cette voie d'intégration est rendue possible grâce à des vias traversants (TSV : *Through Silicon Via*) qui interconnectent verticalement les deux faces d'une même puce.

Ces différentes approches nécessitent différents procédés de fabrication afin de réaliser l'interconnexion entre les puces individuelles et les composants de ces systèmes. Ceci est généralement réalisé soit par la liaison filaire¹ (*wire bonding*) soit par puce retournée (*flip chip* ou aussi appelée C4 : *Control Collapse Chip Connection*). Cependant, les circuits intégrés avancés adoptent la technologie flip chip puisqu'elle permet une haute densité d'interconnexion (ex. interconnexions à pas fins ou ultrafins) et élimine le besoin d'une zone périphérique ou un dégagement pour fournir les connexions filaires comme dans la liaison wire bonding. Cette technique, introduite par IBM au début des années 1960, a permis l'amélioration des performances électriques grâce à la réduction des parasites électriques et des cheminements entre la puce et le substrat. L'assemblage des puces dans la configuration flip chip, peut s'effectuer selon deux principales techniques : par le procédé d'assemblage classique *mass reflow* (MR) dans un four à passage, ou par le procédé de thermocompression *ThermoCompression Bonding* (TCB).

Le procédé MR est utilisé dans l'industrie microélectronique depuis presque 50 ans. Récemment, en raison des exigences élevées des fonctionnalités, de la très haute densité des interconnexions, et de l'épaisseur réduite des composants, l'assemblage de tels packages à l'aide du processus MR et le maintien de ses performances est devenu un défi difficile à réaliser. Les problèmes de gauchissement du package peuvent augmenter pendant le procédé MR en raison d'un manque de

Liaisons filaires¹ (*wire bonding*) : technique utilisée pour effectuer les connexions électriques entre la puce et le substrat par l'intermédiaire des fils de câblage.

contrôle sur le processus d'assemblage. Le gauchissement du substrat et de la puce peut en effet surmonter la force naturelle de la tension superficielle de la brasure, entraînant ainsi des ouvertures (opens) dans les interconnexions aux extrémités de la puce et des pontages de billes de brasure (bridges) au centre. Étant donné qu'il était difficile de surmonter ces difficultés avec le procédé classique MR, d'autant plus que les tailles et les pas de brasure deviennent plus petits, les industriels ont décidé de procéder à l'assemblage TCB en vue d'obtenir un meilleur contrôle des composants et d'assurer un rendement des interconnexions élevé.

Le procédé d'assemblage TCB a été développé par trois scientifiques des laboratoires BELL: O. L. Anderson, H. Christensen et P. Andreatch depuis l'année 1957 [2]. Cette méthode d'assemblage a été utilisée principalement dans les liaisons filaires. Cependant, au cours des dernières années, la croissance explosive des techniques d'assemblage flip chip a mené les efforts de recherche et développement à utiliser la TCB sur cette configuration de puce retournée. La méthode TCB, très intéressante au niveau industriel, est considérée comme étant la technologie habilitante clé pour les prochaines générations de dispositifs avancés [3]. Elle a le potentiel de surmonter les défis du processus MR grâce à un contrôle des paramètres d'assemblage. Elle permet d'avoir moins de comportement de gauchissement et une précision de placement élevée. En effet, grâce à un équipement d'assemblage TCB très précis ($< 2.5\mu\text{m}$) [3], la puce peut être parfaitement alignée et maintenue en place pendant que la force et la température sont appliquées jusqu'à ce que toutes les interconnexions soient établies. La tête de liaison se libère ensuite de la puce tout en conservant une précision de placement très élevée.

Notre projet de recherche portera sur le développement de procédés avancés d'encapsulation de composants micro-électroniques basé sur les techniques de thermocompression (TC). On cherchera dans cette étude à développer une expertise approfondie de la TCB, tout en mettant l'accent sur les concepts fondamentaux uniques de la TCB, tant au niveau du processus d'assemblage TCB conventionnel à une haute température, qu'au niveau d'assemblage TCB à l'état solide (basse température), et ceci afin de répondre aux défis du coût, de performance, et de productivité.

1.2 Le packaging en microélectronique

Le packaging microélectronique est une technologie clé permettant d'atteindre les fonctionnalités souhaitées des produits finis, y compris l'interconnexion des signaux électriques et la distribution d'énergie aux dispositifs électroniques. Il permet de garantir le fonctionnement du composant électronique dans son environnement spécifique, et il assure la communication de la puce avec le monde extérieur tout en optimisant les performances et la fiabilité du circuit. Il permet également la dissipation thermique, la protection, et l'isolation du composant de son environnement extérieur (poussières, humidité, chocs, etc.). Il peut être défini comme étant l'encapsulation et l'intégration d'une ou plusieurs puces à l'intérieur d'un boîtier.

Il existe trois niveaux ou étapes du packaging comme montré dans la figure 1.2. Ces niveaux peuvent être présenté comme suit :

- Niveau 1 : Connexion du circuit intégré à un boîtier (package). La puce semi-conductrice (circuits intégrés) est interconnectée à son support (substrat ou grille de connexion) pour générer le premier contact électrique entre la puce et le système extérieur.
- Niveau 2 : Intégration du boîtier sur une carte de circuit imprimé ou PCB (*printed circuit board*). Ce niveau comprend l'intégration des dispositifs actifs et passifs sur un circuit imprimé.
- Niveau 3 : interconnexion du PCB système. Dans ce niveau les cartes de circuit imprimé sont interconnectées au système électronique final pour réaliser un appareil électronique complet (ordinateur portable, unité centrale...).

La mise en boîtier est une étape très délicate et de plus en plus importante dans le domaine de la microélectronique. Elle commence par une découpe des plaques de silicium ou wafers afin d'obtenir des puces unitaires. Ces dernières sont ensuite assemblées sur des substrats (céramiques, organiques, métalliques, etc.) et encapsulées dans un boîtier afin de les lier au PCB. Le PCB fournit le support mécanique et thermique ainsi que l'interconnexion électrique entre divers circuits intégrés. À tous les niveaux de packaging, il existe un risque de défaillance potentiel, mais le premier niveau reste l'étape la plus risquée [4]. Plus le package est petit et complexe, plus est

susceptible de causer des problèmes de performances [4]. Les plus grands problèmes de fiabilité des composants microélectroniques sont liés généralement aux procédés d'intégration de premier niveau [4]. L'interconnexion de premier niveau entre la puce et le boîtier doit surmonter les défis de miniaturisation et d'intégration croissante des fonctions. Elle apparaît donc comme une étape clé de l'empilement, qui peut rendre l'intégration de plus en plus coûteuse, d'où vient l'intérêt de développer des nouvelles techniques de packaging afin de répondre aux exigences des circuits intégrés (CI) de demain. Cette thèse porte sur l'exploration des procédés d'interconnexion et d'encapsulation du premier niveau. Par conséquent, plus de détails sur les procédés d'interconnexion de premier niveau seront présentés ultérieurement.

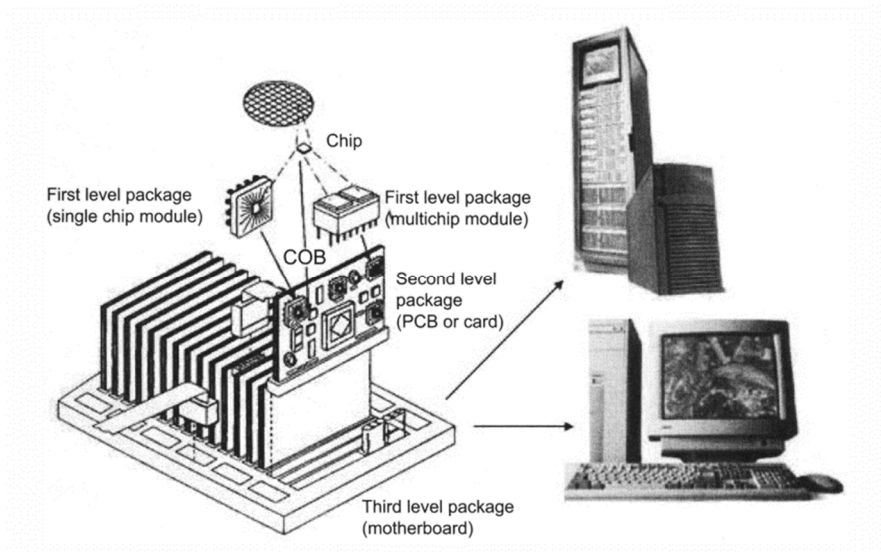


Figure 1.2 Les différents niveau de mise en boîtier [5].

1.3 Les techniques d'interconnexion

L'interconnexion de la puce sur son substrat est la première étape de la mise en boîtier après la fabrication et la séparation de la tranche. Ce processus joue un rôle très important dans la détermination du coût et des performances du système électronique. De nombreuses approches ont été développées pour assembler la puce au substrat selon le premier niveau du package. Les plus souvent utilisées sont la liaison filaire ou en anglais *wire-bonding*, et l'assemblage de puce retournée flip chip, comme l'illustre la figure 1.3.

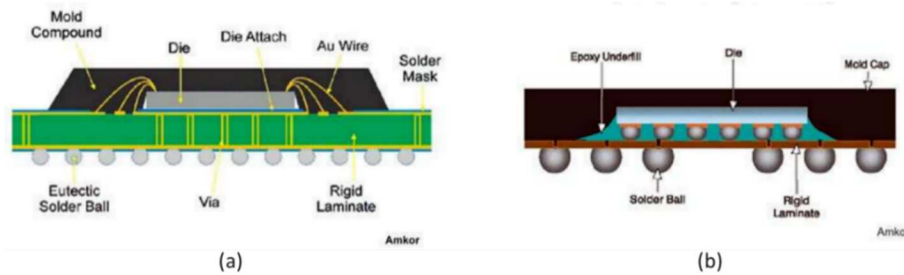


Figure 1.3 Les techniques d'interconnexion les plus utilisées : a) la liaison filaire *wire-bonding*, b) l'assemblage de puce retournée *flip chip* [6].

1.3.1 La liaison filaire *wire-bonding*

La liaison filaire est une ancienne technique très répandue dans l'industrie microélectronique. Le principe de la technique consiste à relier une puce à son environnement par l'intermédiaire des fils d'interconnexions métalliques (Figure 1.3.a). Les matériaux des fils d'interconnexion les plus souvent utilisés sont l'or (Au) et l'aluminium (Al). Vu que l'Al est plus susceptible à des problèmes d'oxydation et de corrosion lors de l'application, l'Au est généralement le matériau le plus utilisé et le plus populaire en raison de sa bonne fiabilité dans des environnements défavorables [7]. Cependant, les fils en or utilisés dans une liaison filaire représentent la plus grande part du coût total du package [8]. En vue de diminuer encore les coûts, l'industrie a commencé récemment à utiliser le Cu comme un matériau alternatif à Au [9], en raison de son coût réduit et de sa bonne conductivité électrique. Malgré les prédictions de la disparition du *wire-bonding* [10], cette technologie utilise des concepts de packaging plus avancés et plus perfectionnés. L'un des concepts les plus efficaces est la réduction de la taille du fil, dans laquelle, pour des applications à pas très fins, le diamètre du fil a été réduit de 25 μm à 15 μm , permettant ainsi des augmentations significatives de la densité du package [11]. Toutefois, la faible densité d'I/O reste toujours le plus grand inconvénient de cette méthode. Cela est dû aux limites géométriques qui exigent la disposition des fils à la périphérie de la puce. Un autre inconvénient majeur de cette technique est le temps d'assemblage long, puisque la connexion entre la puce et le substrat est établie de manière séquentielle.

1.3.2 La liaison par puce retournée *flip chip*

Pendant la liaison *flip chip*, une interconnexion est formée entre les I/O de la puce et le substrat à l'aide des billes de brasure (Figure 1.3.b). Les principales fonctions des billes de brasure sont de

fournir des connexions électriques, de faciliter la dissipation thermique et de fournir un support mécanique entre la puce et le substrat. Au cours des dernières décennies, l'utilisation de la liaison flip chip s'est considérablement développée, et est devenue très attrayante en raison de ses grands avantages par rapport aux autres techniques [8]. Cet intérêt énorme est principalement dû à la tendance des industries électroniques qui vise à réduire continuellement les dimensions de la puce tout en augmentant sa complexité, nécessitant ainsi une connectivité très élevée. L'avantage majeur du flip chip bonding est en effet la possibilité d'exploiter toute la surface de la puce pour les interconnexions. Cette approche est dite *area array bonding*.

1.3.2.1 Assemblage Flip chip par brasage

Dans l'assemblage Flip chip, le côté actif de la puce est la face cachée sur laquelle des billes métalliques (figure 1.4) sont réparties sur la quasi-intégralité de la surface, offrant ainsi une densité d'I/O plus élevée en comparaison avec la méthode *wire-bonding*. La face active de la puce est retournée vers le substrat pour former l'interconnexion. L'interconnexion entre les billes et les pads sur le substrat se fait simultanément, ce qui permet un gain de temps considérable. Parmi tous les différents types de bille d'interconnexion, les billes de brasure sont les plus courantes dans l'assemblage Flip chip.

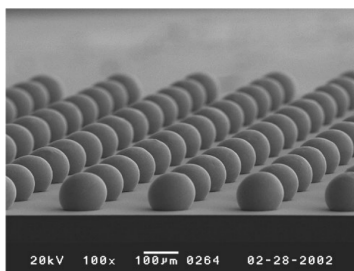


Figure 1.4 Image MEB des billes d'interconnexion [12].

L'alliage qui a longtemps été utilisé pour les billes d'interconnexion est le composé étain/plomb (Sn-Pb) dont la température de fusion est de 183°C. En raison de problème de protection de l'environnement et à cause de la toxicité du plomb, les brasures sans plomb (*lead free solder*) ont remplacé les alliages étain-plomb (Sn-Pb). Le passage à la brasure sans plomb a mené à une augmentation de la température d'assemblage jusqu'à 260°C [13]. De ce fait, la puce et le substrat laminé organique (plus mince et plus souple que la céramique utilisées auparavant) sont devenus plus sensibles aux contraintes thermiques, introduisant ainsi la nécessité de développer des

techniques d'interconnexion flip chip à une température d'assemblage inférieure à 200°C (sera l'étude de notre deuxième partie du projet) [14][15].

1.3.2.2 Assemblage Flip chip par des substances adhésives

À part la brasure, l'assemblage de la puce sur son substrat peut s'effectuer par collage en utilisant une substance adhésive. Dans ce cas, la jonction des deux corps se réalise initialement par le dépôt d'une couche de polymères ou de la colle inorganique. La puce est ensuite liée au substrat sous l'application d'une basse température généralement entre 200°C et 220°C. Les adhésifs utilisés dans ce type de collage se classent en trois catégories: les adhésifs conducteurs isotropes (ICA), les adhésifs conducteurs anisotropes (ACA), et les adhésifs non-conducteurs (NCA) (Figure 1.5) [16] :

- Les adhésifs à conductivité isotrope sont généralement fabriqués à base d'époxy et remplis d'une haute concentration de particules métalliques, généralement d'argent (Ag), de nickel (Ni) ou d'or (Au). Ces particules permettent ainsi une conductivité électrique dans toutes les directions (x-y-z).
- Les adhésifs à conductivité anisotrope utilisent des billes métalliques dispersées dans un polymère adhésif [16]. Lors de l'application de pression de collage, les particules conductrices se compriment entre les deux pads (la puce et le substrat) fournissant ainsi une conductivité électrique unidirectionnelle seulement sur l'axe z. L'ACA peut donc être utilisé dans des applications à très haute densité d'interconnexion. Cependant, lorsqu'un ACA est appliqué dans des packages à pas ultrafins, un court-circuit électrique peut être généré entre les billes voisines en raison d'un pontage électrique provoqué par le contact des particules conductrices [17]. Pour résoudre ce problème une technique d'assemblage en utilisant le NCA est alors apparu.
- Dans le cas des NCA, le polymère adhésif ne contient aucune particule conductrice. La différence entre les deux approches (adhésifs conducteurs et non conducteurs) réside dans le fait que la méthode NCA assure un contact direct (métal-métal) entre les billes de la puce et les pads du substrat. La formation de la liaison interfaciale entre les deux métaux se crée par le rétrécissement de l'adhésif et le rapprochement des aspérités de surface sous l'effet de la pression et de la température. La force du NCA permet ainsi le maintien mécanique

de la puce. Cette méthode présente un certain nombre d'avantages par rapport aux adhésifs conducteurs tels que : l'élimination des problèmes des courts circuits, la facilité du processus, et l'augmentation de l'aire de contact [16].

Certainement, l'utilisation des adhésifs conducteurs ou non conducteurs au lieu de la brasure a apporté de nombreux avantages, incluant : la capacité de traitement à basse température, la simplicité du processus (moins d'étapes de fabrication), et les faibles coûts des adhésifs. Bien que cette technique soit généralement utilisée, la résistance de contact élevée et les faibles capacités de passage de courant, causés par la quantité d'adhésif piégée entre les interfaces, sont ses principaux inconvénients [18].

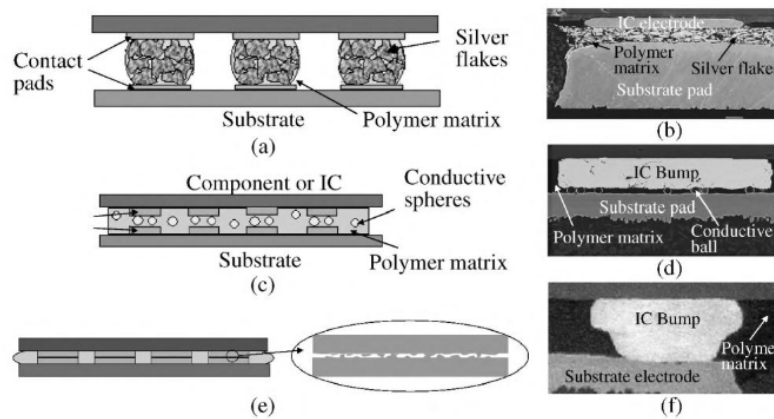


Figure 1.5 Diagramme schématique et des images MEB dans des coupes transversales d'assemblages flip chip : (a,b) ICA, (c,d) ACA, et (e,f) NCA [19].

1.4 Définition du projet de recherche

La technique d'assemblage TCB a été considérablement améliorée au cours des années. Cependant, elle se confronte à plusieurs défis qui doivent être surmontés pour permettre son positionnement dans l'industrie. Le principal inconvénient de la TCB est son faible volume de production qui entraîne des coûts de production élevés. Le temps de cycle est en particulier le facteur économique le plus important qui détermine le coût du procédé. Les causes de temps de cycle longs dans le processus TCB sont essentiellement d'origine thermique. Les gradients de température liés aux pertes dissipées par conduction au sein des composants et par convection à l'environnement extérieur, lors du processus TCB, engendrent l'augmentation des temps nécessaire pour atteindre les températures requises. En règle générale, la diminution du temps de cycle correspond à une

accélération de la vitesse de chauffage lors du processus d'assemblage. Cette accélération peut générer des gradients élevés et des problèmes d'uniformité de la température sur toute la surface de liaison. Une mauvaise uniformité thermique peut affecter la qualité d'assemblage et entraîner des défauts dans les interconnexions. Les paramètres de chauffe optimaux sont ceux qui assurent un profil de température le plus uniforme sur toute l'interface du package et le plus proche possible de la température de fusion de la brasure. **La question qui se pose est de savoir dans quelle mesure la vitesse de chauffe peut éventuellement être optimisée pour réduire le temps de cycle d'assemblage jusqu'à ce que le point de fusion de la brasure soit atteint et que l'uniformité thermique soit assurée ?**

Ainsi, pour répondre à cette question et pour obtenir un profil TCB optimisé avec des températures uniformes, il est nécessaire de trouver des solutions de caractérisation de température (in-situ) efficaces et fiables. C'est dans cette perspective que se situent les travaux présentés dans la première partie de ce manuscrit. Nous allons essentiellement nous concentrer sur l'aspect thermique du procédé TCB. Plusieurs méthodes de mesure de température ont été utilisées dans la littérature, notamment les thermocouples et les détecteurs de température à résistance (RTD: *Resistance Temperature Detector*). Chacune de ces méthodes a des avantages et des inconvénients. Dans le présent projet de recherche, on discutera des méthodes existantes pour mesurer la température du processus TCB et on développera une méthode originale de mesure in-situ. Cette méthode doit pouvoir fournir des données thermiques fiables, doit offrir des résolutions spatiales et temporelles élevées, et elle doit également être moins coûteuse et beaucoup plus simple que celles mentionnées dans la littérature. Cette méthode de mesure nous permettra ensuite de fournir des lignes directrices pour l'optimisation du processus d'assemblage, et conduira à l'amélioration de la qualité des liaisons par l'étude des profils de chauffe lors du processus TCB.

Surmonter les températures de processus élevées et leurs effets néfastes sur la productivité et la qualité des joints de brasure est une autre question clé pour les chercheurs. En effet, des températures de la tête TCB allant jusqu'à 350–400°C sont toujours nécessaires lors de l'assemblage TCB conventionnel. Ces conditions thermiques extrêmes peuvent non seulement entraîner une réduction du débit de production, mais peuvent également provoquer des contraintes thermiques élevées et des dommages matériels potentiels. Il sera donc nécessaire de trouver des technologies alternatives plus avantageuses en termes de productivité et d'efficacité. La solution

est d'évoluer vers des technologies d'assemblage à basse température. L'assemblage à basse température réduit le temps de montée et de descente en température, ce qui réduit la durée totale du cycle d'assemblage et augmente ainsi la productivité. De plus, l'assemblage à basse température réduit les contraintes thermomécaniques et diminue les problèmes de gauchissement induits par la différence du coefficient de dilatation thermique. Comme nous le verrons dans le chapitre suivant, il existe différentes techniques d'assemblage flip chip à basse température, telle que la technique *Transient Liquid Phase Bonding*, la technique d'activation de la surface de liaison *SAB bonding*, l'assemblage TCB à l'état solide, et l'assemblage thermosonique. Ces techniques ont apporté de nombreux avantages par rapport à la technique d'assemblage TCB conventionnelle, cependant, chacune d'elles a ses propres inconvénients ou difficultés. La deuxième partie de ce manuscrit portera sur le développement d'une nouvelle méthode d'assemblage à l'état solide basé sur la technique TCB. Cette nouvelle méthode, appelée BATE (*Bond At the End*), consiste à réaliser une liaison mécanique temporaire entre les brasures (à une température en dessous du point de fusion de la brasure), et à les rendre totalement liées métallurgiquement lors de la phase finale de packaging, plus précisément lors de la refusion des BGA² (ball-grid-array). Bien que cette méthode innovante ait le potentiel d'augmenter la productivité, et de surmonter les températures élevées de processus TCB conventionnel, l'insuffisance d'information, sur les paramètres d'assemblage à utiliser et les principaux mécanismes de liaison impliqués, suscite des incertitudes relatives à la réussite de la mise en œuvre de cette technique. Cela nous amène à définir notre deuxième problématique dans ce projet de thèse: **serait-il possible de dépasser la limite thermique fondamentale de la TCB conventionnelle par le développement d'une nouvelle technique d'assemblage à basse température plus robuste et plus fiable? Aussi, quelles pourraient être les conditions optimales à utiliser avec cette nouvelle méthode d'assemblage?**

1.5 Objectifs

Ce projet porte sur l'évaluation des procédés d'assemblage par thermocompression. Afin d'améliorer la productivité de la TCB conventionnelle, on recherche souvent un raccourcissement

BGA² (*ball-grid-array*) : la mise en place des BGA est la dernière étape du processus de packaging avant les tests électriques. Les BGA se présentent sous la forme de billes de brasure qui sont fixées sur la face inférieure du boîtier pour permettre la connexion électrique entre le circuit imprimé (PCB) et le circuit intégré.

du cycle de chauffe, donc du temps de montée en température. Le premier objectif des travaux de cette recherche consiste alors à déterminer le temps de chauffe minimal assurant une uniformité de température optimale et par conséquent des joints de brasure de bonne qualité. Cet objectif représente la première partie de la thèse, et il se décline en plusieurs objectifs spécifiques (identifiés par les numéros ci-dessous):

- 1) Développer une méthode pratique pour mesurer la température de la puce et évaluer sa distribution sur la surface de liaison: concevoir, fabriquer et tester un capteur de température à hautes résolutions spatiale et temporelle capable de mesurer la température lors du processus d'assemblage.
- 2) Évaluer l'influence des différentes vitesses de chauffe sur l'uniformité de distribution de la température sur la surface de la puce ainsi que sur la qualité des joints de brasure qui en résulte.
- 3) Déterminer la limite thermique fondamentale du temps requis pour réussir un assemblage TCB conventionnel en déterminant la vitesse de chauffe appropriée pouvant assurer une distribution uniforme de la température et permettant en conséquence des joints de brasure sans défauts.

Un second objectif de la thèse était de mettre en œuvre une nouvelle méthode d'assemblage TCB afin d'éliminer le besoin des températures élevées et de répondre aux besoins de coût, de performance et de productivité. Cet objectif représente la deuxième partie de la thèse et il se décline en plusieurs objectifs spécifiques :

- 1) Évaluer l'effet des paramètres d'assemblages, y compris la température d'assemblage, la pression et la qualité de surface, sur la tenue mécanique des joints de connexion pendant le processus d'assemblage temporaire.
- 2) Obtenir une compréhension raisonnable et approfondir des mécanismes impliqués dans le processus d'assemblage temporaire et évaluer leurs contributions relatives pour chaque condition d'assemblage.

- 3) Optimiser les paramètres de process afin d'identifier les conditions de liaison appropriées pendant l'assemblage temporaire.
- 4) Évaluer la pertinence de la nouvelle méthode d'assemblage en termes d'efficacité et de productivité par rapport à la TCB conventionnelle.

1.6 Plan de la thèse

Cette thèse se compose de cinq chapitres, dont deux seront présentés sous forme d'articles. Le deuxième chapitre sera consacré à l'état de l'art. Il donnera un aperçu des techniques d'assemblage flip chip, et se consacrera sur une revue de la littérature du procédé TCB. Diverses techniques de caractérisation de la température au cours du processus TCB seront aussi passées en revue. Des études antérieures sur les liaisons TCB à basse température ou à l'état solide seront ensuite incluses. Le troisième chapitre constituera le premier article qui présentera la nouvelle méthode de mesure de température. Ce chapitre fournira des lignes directrices pour l'optimisation du processus d'assemblage TCB grâce à une nouvelle méthode de caractérisation de température in-situ. Il se concentrera sur les mesures thermiques expérimentales conduites à l'aide du capteur RTD pour extraire les valeurs de température de processus à différents endroits sur la surface de la puce. Une évaluation des effets des vitesses de chauffe sur l'uniformité de température ainsi que sur la qualité des joints de brasure sera présentée. La limite thermique fondamentale du temps requis pour réussir un assemblage TCB conventionnel sera aussi déterminée.

Afin de dépasser cette limite thermique, le développement d'une nouvelle technique d'assemblage TCB à basse température, plus robuste et plus fiable que la TCB conventionnelle, sera le centre d'intérêt du quatrième chapitre. Ce chapitre constituera le deuxième article de la thèse. Il comprendra une compréhension approfondie des mécanismes impliqués dans le processus d'assemblage ainsi qu'une optimisation des paramètres de processus. Il mettra en évidence l'étude de la capacité de cette nouvelle méthode à donner des joints de brasure de bonne qualité pendant une courte durée d'assemblage (6 secondes) et une température en bas du point de fusion de la brasure (200°C). Ce quatrième chapitre se conclura par une évaluation de la pertinence de la nouvelle méthode d'assemblage en termes d'efficacité et de productivité par rapport à la TCB conventionnelle. Pour terminer la thèse, on apportera une conclusion générale qui mettra en

évidence le travail effectué et proposera des réponses aux questions de recherche posées dans cette introduction. La conclusion rappellera tout d'abord les résultats principaux des mesures thermiques présentées dans le troisième chapitre, et mettra en évidence les objectifs atteints dans la première partie de la thèse (chapitre 3). La conclusion synthétisera ensuite les résultats des travaux menés pour le développement de la nouvelle méthode d'assemblage BATE, et soulignera les objectifs atteints dans la deuxième partie de la thèse (chapitre 4). Des perspectives sur les résultats obtenus seront finalement proposées.

CHAPITRE 2

ÉTAT DE L'ART

2.1 Les procédés d'assemblage flip chip

Dans l'industrie des circuits intégrés, les deux principaux procédés de liaison flip chip sont : l'assemblage par refusion ou mass reflow, et la thermocompression (TCB). Une comparaison entre les deux procédés est illustrée dans le tableau 2-1.

2.1.1 L'assemblage par refusion *mass reflow*

Dans le procédé d'assemblage par refusion, la puce est soumise à plusieurs étapes avant que l'assemblage soit complété (figure 2.1). Pour effectuer ces étapes, une machine de placement spécifique est initialement utilisée permettant l'application du décapant (flux³ en anglais), l'alignement, et le positionnement de la puce sur le substrat. Une fois le processus de placement terminé, l'étape de refusion de la brasure commence à une température généralement entre 20°C et 30°C au-dessus du point de fusion de la brasure [20]. Les modules doivent être laissés suffisamment de temps dans un four à refusion afin d'assurer la mouillabilité de la brasure, garantir la formation d'une couche intermétallique appropriée, et maintenir un taux de solidification qui minimise les contraintes dans les joints d'interconnexions [20]. Lors du brasage des puces, la tension superficielle de la brasure fondue tire la puce dans sa position exacte permettant ainsi un alignement automatique (*self-align*) de la puce sur le substrat [21]. Après le processus de refusion, il est nécessaire de nettoyer les résidus de flux avant l'application de l'underfill entre la puce et le substrat. L'*underfill* est un isolant électrique souvent utilisé pour réduire les contraintes sur les joints de brasure et prévenir leur défaillance. Il évite également l'insertion des impuretés (poussières, etc.) susceptibles de provoquer des défaillances dans le circuit. Si le flux n'est pas nettoyé correctement après l'étape d'assemblage, il peut entraver l'application de l'*underfill* et nuire aux performances du package [22]. Afin de faciliter l'écoulement, l'*underfill* est dispensé à une température élevée (> à 110°C

³ Flux : substance chimique utilisée pour limiter la formation de l'oxyde sur la surface

dépendamment des propriétés de l'*underfill* utilisé) [23]. Une fois l'*underfill* complètement écoulé, tous les échantillons seront durcis dans un four pendant quelques heures.

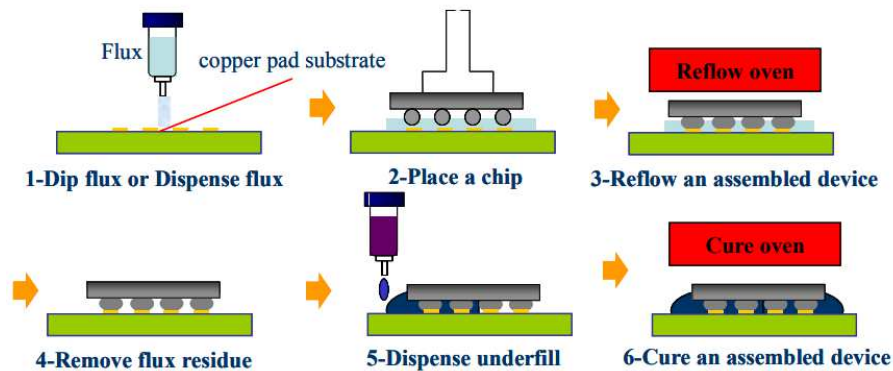


Figure 2.1 Schéma du processus d'assemblage flip chip par refusion [24].

La méthode d'assemblage par refusion n'offre aucun contrôle spatial de la température, mais permet une distribution de chaleur largement homogène pour des durées d'exposition suffisantes [25][26]. Une durée d'exposition prolongée (de l'ordre de plusieurs minutes) est généralement nécessaire pour garantir que tous les composants atteignent les températures requises. Toutefois, un bon contrôle du profil de refusion doit être réalisé afin de limiter la formation des intermétalliques qui fragilisent la brasure [27]. La croissance des intermétalliques conduit à des changements chimiques, physiques et microstructuraux via la dissolution des métaux de base dans la brasure, ce qui peut affaiblir la résistance des matériaux à l'interface. D'autre part, comme la puce et le substrat sont constitués de matériaux différents, une différence de coefficient de dilatation thermique (*coefficient of thermal expansion* : CTE) se présente entre eux, générant ainsi une contrainte mécanique sur les liaisons pendant le processus de refusion [28], plus spécifiquement lors de la solidification des joints d'interconnexions. Les contraintes trop élevées peuvent entraîner des défaillances mécaniques importantes dans les interconnexions [29]. Plusieurs études ont démontré que la méthode d'assemblage par refusion pose de nombreux problèmes, dont principalement le gauchissement du package qui provoque une formation des *non-wets*, et des courts-circuits dus aux problèmes du pontage de la brasure (*bridges*) [30][31]. La figure 2.2 montre un module assemblé avec le processus de refusion, dans lequel apparaît une *non-wet* et une fissure à l'interface bille/puce (figure 2.2 à droite), causées par le gauchissement du package.

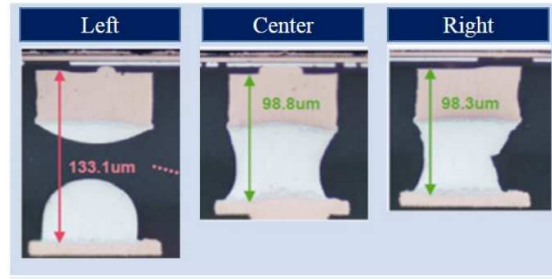


Figure 2.2 Non-wet trouvé avec le processus de refusion [32].

La méthode d'assemblage par refusion a été largement utilisée en raison de ses avantages de faible coût et de propriété d'auto-alignement [33][34]. Bien que cette méthode permette l'assemblage d'un grand nombre de modules pendant une courte durée de temps, l'amincissement du package et l'orientation vers des puces avec des micro-billes de brasure et des pas d'interconnexion de plus en plus fins ont rendu cette technique inadaptée [35]. Le besoin de technologies d'assemblage avancées avec un contrôle dynamique et précis de la température tout au long du processus d'assemblage est devenu impératif.

Tableau 2-1 Comparaison entre différents procédés d'assemblages.

Procédé d'assemblage flip chip	Refusion	Thermocompression
Force d'assemblage	Sans	Avec
Température d'assemblage	> point de fusion de la brasure	> point de fusion de fusion de la brasure
La liaison à l'interface	Intermétallique	Intermétallique
Auto-alignement	Oui	Non
Pas ultrafins	Limité	Très haute
Gauchissement	Mauvais comportement	Bon comportement
Productivité [36]	> 4000 UPH	≤ 2000 UPH

2.1.2 L'assemblage par thermocompression (TCB)

Le processus de liaison par thermocompression (TCB) a été développé pour relever les principaux défis de l'assemblage par refusion décrits ci-dessus et pour trouver des solutions pour les technologies de prochaine génération. Il a été identifié comme la technique d'assemblage la plus prometteuse pour les interconnexions à pas ultrafins grâce à un meilleur contrôle des contraintes et du gauchissement entre la puce et le substrat [37].

2.1.2.1 Principe de la TCB

Le procédé TCB consiste à assembler deux couches de métal, où une force est couplée à une température relativement élevée pour former une liaison métallurgique. Les températures utilisées durant le procédé TCB sont généralement supérieures à 200°C, allant de 240°C jusqu'à 300°C, dépendamment du matériau utilisé [38]. Pendant le procédé TCB, la chaleur est généralement appliquée uniquement du côté de la puce, tandis que le substrat est maintenu à une température constante, bien inférieure à celle appliquée sur la puce. Une variation thermique est donc établie dans l'ensemble de boîtier [39]. Généralement, pour obtenir une structure de joint de brasure de bonne qualité, il faut optimiser toute source de chaleur pouvant produire des gradients thermiques, comme la vitesse de chauffe de la tête de liaison, sa température et son uniformité sur toute la surface de liaison, et le temps de cycle [40]. La qualité d'assemblage obtenue après le procédé TCB dépend également de plusieurs autres paramètres tels que la force d'assemblage et la qualité de surface [41]. La pression est nécessaire pour fournir une quantité suffisante de déformation interfaciale, réduire les aspérités, et enlever mécaniquement les couches barrières d'oxyde. Parfois, des forces de liaison trop élevées peuvent écraser les joints et entraîner des ponts de brasure ou des fissures dans la passivation de la puce [42][43]. L'effet des paramètres d'assemblage sur la microstructure et les propriétés mécaniques des joints de brasure a fait l'objet de plusieurs études [41][44][45][46].

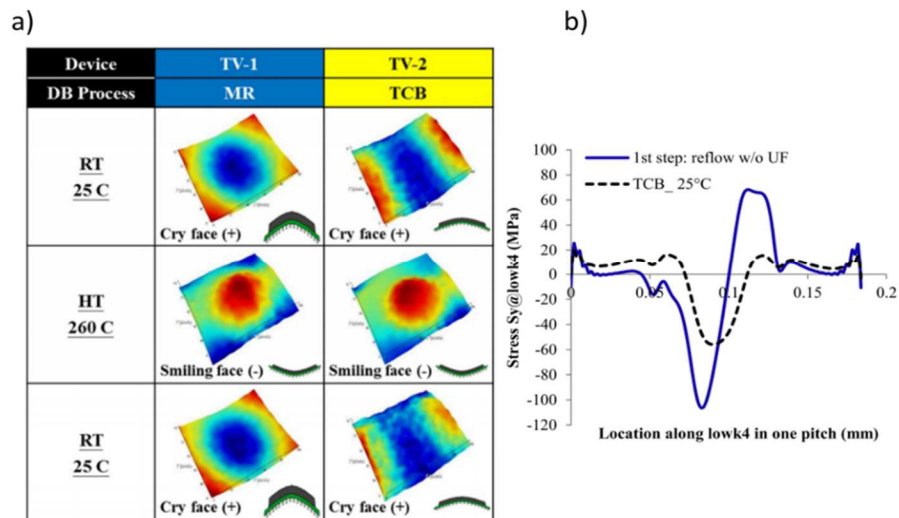


Figure 2.3 a) Comparaison du gauchissement lors de l'assemblage par thermocompression et par refusion, b) contrainte de la couche low-k induite par TCB et refusion [47][42].

En comparant avec le procédé d'assemblage par refusion, la TCB possède un meilleur contrôle de gauchissement grâce à une bonne optimisation des conditions d'assemblage (Figure 2.3.a). Une amélioration de près de 40% du comportement de gauchissement a pu être enregistrée dans le processus TCB par rapport à l'assemblage par refusion [47]. Le procédé TCB présente également plusieurs autres avantages, notamment la réduction des contraintes thermiques et des dommages dans la couche diélectriques low-k induite par la différence de CTE entre la puce et le substrat (Figure 2.3.b) [42]. Ainsi, ces caractéristiques mettent généralement en évidence son potentiel pour les applications à pas ultrafins [48][49].

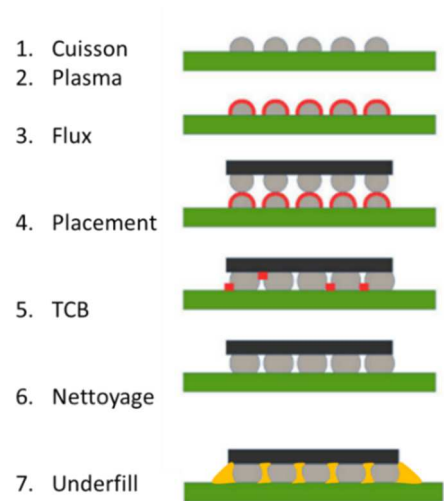


Figure 2.4 Procédé d'assemblage TCB [50].

Le processus TCB comporte plusieurs étapes. Une représentation schématisée de ces différentes étapes est illustrée dans la figure 2.4. Les pièces sont tout d'abord précuites pour éliminer toute humidité sur la surface. Une étape optionnelle de traitement plasma est ensuite réalisée afin d'enlever la contamination et l'oxydation à la surface [51]. La troisième étape consiste à appliquer le flux sur la surface des billes afin d'empêcher l'oxydation de la brasure pendant le processus d'assemblage. Le flux peut être appliqué (comme dans un processus MR) en plongeant la puce retournée dans un bain de flux ou distribué sur les pads de liaison du substrat [33]. Une fois la puce alignée et placée sur le substrat d'accueil, l'étape d'assemblage thermocompression débute suivant un profil bien défini (décrit dans la section suivante). La puce assemblée nécessite ensuite un nettoyage pour éliminer les résidus de flux. Finalement, pour protéger les joints de brasure, un

underfill doit combler tout l'espace libre entre la puce et le substrat. Un exemple d'un processeur Apple iPhone A10 lié à l'aide de processus TCB est montré sur la figure 2.5 [52].

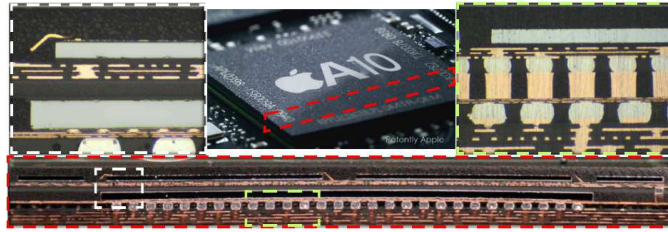


Figure 2.5 Un exemple de produit Apple iPhone A10 lié à l'aide de processus TCB. L'image en haut au milieu indique l'emplacement de la coupe transversale du processeur A10 avec des images agrandies à gauche, à droite et en bas [52].

Le profil d'assemblage TCB peut être séparé en trois sections différentes [36] (Figure 2.6) :

1. La phase de chauffe : après avoir positionné la puce sur le substrat, la température augmente de jusqu'à sa valeur maximale (T_{\max}) avec une vitesse de chauffe prédéfinie, généralement de l'ordre de 200°C/s pour la production à haut débit. La chaleur est généralement générée du côté de la puce, tandis que le substrat est maintenu à une température faible et constante (entre 90°C et 100°C pour les substrats organiques).
2. La phase de maintien en température : dans cette phase, un régime permanent est établi. Les composants sont pressés ensemble, et les valeurs maximales de température et de force sont maintenues pendant un temps optimal afin de faire fondre la brasure.
3. La phase de refroidissement : à la fin de la durée de maintien en température, le composant est finalement refroidi jusqu'à la température ambiante.

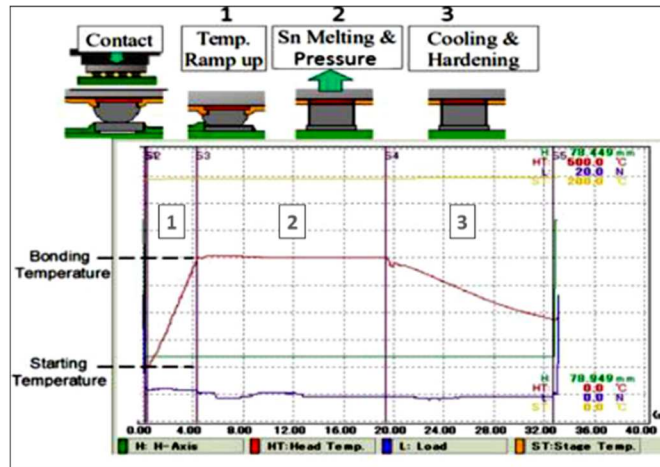


Figure 2.6 Un exemple de profil d'assemblage TCB.

2.1.2.2 Les enjeux de la TCB

Le processus TCB présente des défis en raison de la combinaison de plusieurs paramètres de processus. Bien qu'il ait été rapporté que la température, la force et le temps d'assemblage sont les paramètres clé pour évaluer la qualité de l'assemblage[41][44], il existe d'autres facteurs qui peuvent influencer la qualité finale des interconnexions telles que la qualité de surface et d'autres paramètres liés au processus (Tableau 2-2). Les défis de la TCB incluent aussi les gradients de température, la différence de CTE entre les matériaux, et d'autres facteurs de process introduisant des contraintes et un gauchissement [33][53][54].

Tableau 2-2 Facteurs influençant la qualité finale des interconnexions.

Paramètres	Effet
Température	<ul style="list-style-type: none"> Des contraintes résiduelles induites par la différence des coefficients d'expansion thermique (CTE) entre la puce et le substrat peuvent aggraver le phénomène de gauchissement. Des intermétalliques fragiles aux interfaces. Un gradient de température.
Force	<ul style="list-style-type: none"> Des fissures dans la passivation ou dans la puce. Expulsion (squeezed-out) excessive de la brasure qui peut conduire à des pontages (bridges) entraînant ainsi des courts-circuits. Des liaisons incomplètes (opens).
Temps	<ul style="list-style-type: none"> Croissance des intermétalliques et la transformation complète de la brasure en composés intermétalliques fragiles.
Qualité de surface	<ul style="list-style-type: none"> Présence des couches d'oxydes surfaciques qui empêchent le mouillage et la formation d'un joint solide.

Fonctionnalités liées au processus	<ul style="list-style-type: none"> • Désalignement de la puce et du substrat durant l'assemblage. • Problèmes de parallélisme entre la tête de liaison et la base.
---	--

2.1.2.3 Caractérisations des gradients thermiques et du profil de température la tête de liaison TCB

Dans les assemblages TCB, la variation thermique est toujours présente dans les interfaces soit à travers les épaisseurs dans les directions longitudinales, soit dans les directions latérales. En effet, lors du processus d'assemblage du TCB, alors que la chaleur est conduite de la puce au substrat, une résistance thermique est créée à chaque interface de contact, entraînant une diminution de la température à l'interface de liaison [52]. De nombreux facteurs peuvent affecter la conductivité thermique, tels que la topographie de la surface, les propriétés des matériaux et la pression appliquée à la surface de la puce [52]. Les variations de température élevées peuvent provoquer des déformations thermomécaniques et des zones où le point de fusion de la brasure n'est pas atteint, causant ainsi l'apparition des défauts (fissures, ponts de brasure, et absence de mouillage) qui affectent la qualité et la fiabilité des liaisons [35]. Un bon contrôle de la température réelle au niveau de l'interface de liaison est ainsi nécessaire afin d'éviter les gradients de température élevés et établir une distribution thermique uniforme.

Plusieurs méthodes existent pour avoir une idée de la température au niveau de l'interface de liaison pendant le procédé TCB. La méthode de mesure la plus couramment utilisée est l'intégration des thermocouples à travers le couloir étroit entre les rangées de billes de brasure (Figure 2.7). Cette méthode a été déjà utilisée par Smet et al. [55] et Jeong et al. [56] pour l'optimisation du profil thermique du procédé TCB lors de l'assemblage flip chip d'une puce à pas fin sur un substrat. Elle a été également utilisés par Toray Engineering [57] et Kulicke et Soffa Industries [58] dans une architecture d'assemblage plus complexes de type 3D, dans le but d'analyser le comportement de conduction thermique de la tête de liaison TCB à travers un empilement 3D des puces. Bien que cette méthode soit bonne pour les mesures des températures pendant le procédé TCB, elle ne permet pas de fournir une image complète de la température sur toute l'interface de liaison. La miniaturisation, la réduction de la taille des puces, et la diminution de l'écart entre la puce et le substrat, ont rendu l'utilisation et l'implantation des thermocouples à l'interface de plus en plus difficile. Leur implantation peut provoquer un mauvais contact, des dommages mécaniques aux composants fragiles, et des problèmes dus à l'angle d'inclinaison de la puce [59].

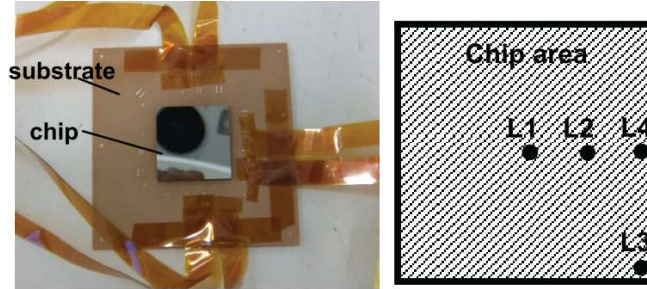


Figure 2.7 Un exemple montrant l'implantation des thermocouples entre la puce et le substrat[49].

Une alternative à cette méthode est d'utiliser des capteurs de température à base de résistances (RTD). Cette méthode consiste à intégrer plusieurs RTD au cœur de composant microélectroniques lors de leur fabrication. Ces RTD peuvent, d'une manière similaire aux thermocouples, mesurer la température lors de l'assemblage du composant. Contrairement aux thermocouples qui peuvent être insérés sur la surface de la puce ou du substrat lors de l'étape d'assemblage [49][56], les capteurs RTD doivent être fabriqués au niveau des transistors du circuit intégré, et nécessitent donc leur prise en compte dès la conception de la puce [54].

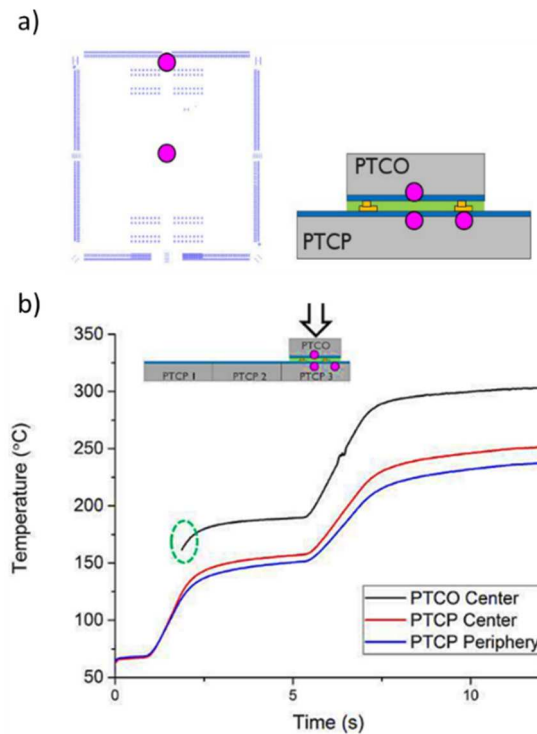


Figure 2.8 a) Disposition des billes de brasure et emplacement des capteur RTD dans le véhicule de test, b) mesures thermiques in situ [39].

Plusieurs travaux [39][40] ont adopté cette méthode dans le but de mesurer les températures de liaison interfaciales et de mieux comprendre les mécanismes de transfert de chaleur pendant les processus d'assemblage TCB. Dans les travaux menés par Bex et al. [39], les mesures thermiques ont été réalisées à l'aide de trois RTD intégrés dans la puce par la technologie CMOS (semi-conducteur à oxyde de métal complémentaire) et localisés tel que montré sur la figure 2.8.a. Les résultats de Bex et al. ont montré une différence de température d'environ 50°C sur l'interface de liaison causée par l'écart de température entre la puce et le substrat (figure 2.8.b). Une différence de 12°C a été aussi observée entre le centre de la puce et sa périphérie. D'autre part, il s'est avéré qu'une fois la température du point de consigne atteinte, les températures des RTD continuaient leur augmentation sans atteindre aucun état d'équilibre (figure 2.8.b). Ceci indique qu'une réduction du temps d'assemblage peut entraîner une diminution des températures maximales requises, ce qui peut par conséquent affecter la qualité des interconnexions.

De façon similaire, Athia et al. [40] ont développé 64 capteurs de température RTD intégrés dans la puce par la technologie CMOS (Figure 2.9.a). Seulement 28 RTD ont été utilisés pour effectuer les mesures des températures interfaciales près des régions de liaison (Figure 2.9.b). Les mesures thermiques ont montré que les plus grandes amplitudes de gradient thermique se produisaient à la périphérie de la puce en raison des effets de dissipation thermique. À une température consigne de 200°C, une température maximale de 155°C a été observée au centre de la puce contre seulement 128°C à la périphérie, laissant ainsi une différence de température maximale d'environ 27°C.

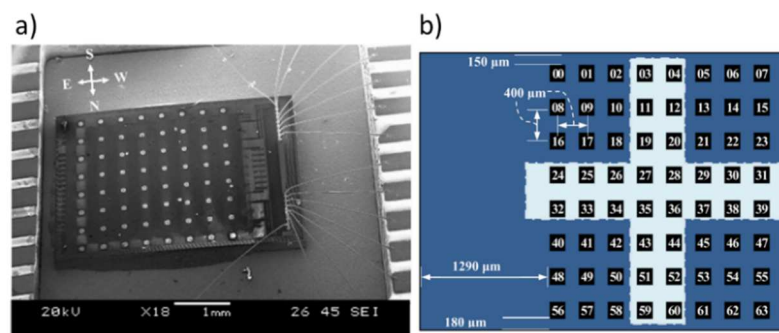


Figure 2.9 a) Micrographie MEB de la puce. Les liaisons par fils établissent la connectivité électrique avec le système d'acquisition de données, b) emplacement des capteurs RTD sur la surface de puce, la région «+» en surbrillance indique les emplacements des 28 RTD utilisés pour l'extraction du signal [40].

Des mesures de température in situ ont été également effectuées par Lofrano et al [60] dans un empilement 3D des puces à l'aide de 3 capteurs RTD, intégrés dans le véhicule de test tel que montré sur la figure 2.10. Il en est ressorti que durant le procédé TCB, la chaleur générée dans la puce supérieure a été écoulee à travers l'empilement vers la puce inférieure, faisant ainsi face à des gradients de températures élevés en raison des voies de dissipation thermiques multiples (Figure 2.10.b et c). À une température de consigne la tête de liaison de 385°C, les mesures ont révélé que la température maximale au centre a été de 198°C tandis qu'au bord elle était de 190°C. Il a été conclu qu'il était préférable d'optimiser le profil de température TCB à chaque étape d'empilement de puce afin d'assurer une bonne formation du joint sans compromettre le joint formé à partir de l'étape d'assemblage précédente.

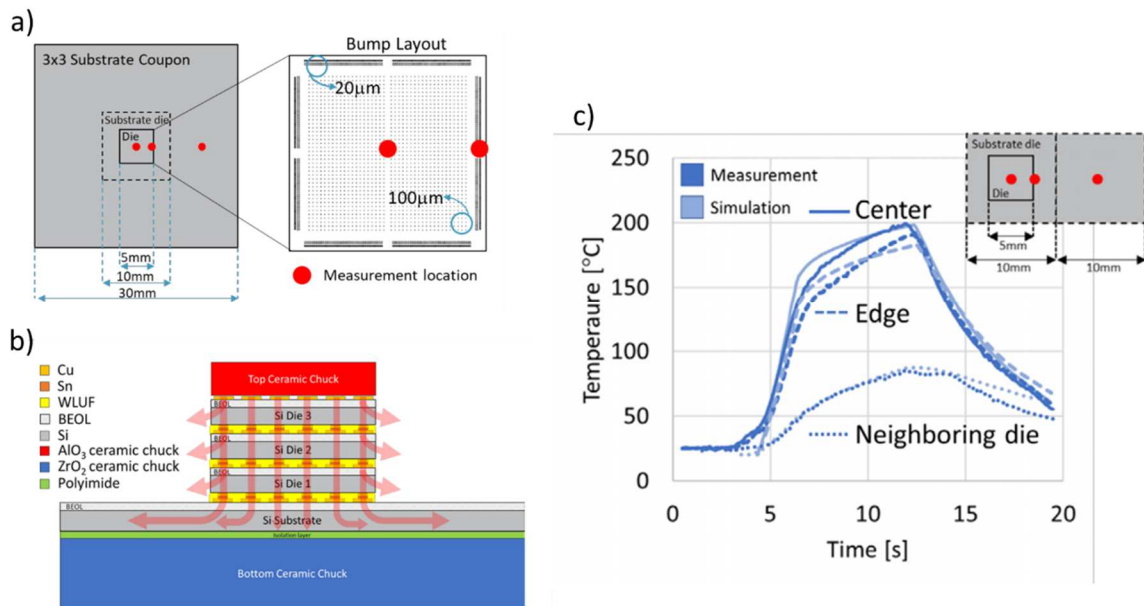


Figure 2.10 a) Disposition des billes de connexion avec emplacements des capteur RTD, b) Flux de chaleur à travers l'empilement de plusieurs puces pendant TCB, c) Résultats de température pendant le processus TCB pour la première étape d'empilement multi-puces (empilées à 3 piles) [60].

Les travaux réalisés par Bex [39], Athia [40], Lofrano et al. [60], ont pu finalement établir une méthodologie de mesure de température pouvant fournir des analyses thermiques précises et des informations précieuses pour le développement des modèles thermiques transitoires du processus TCB. Cependant, bien que cette méthode semble fiable, précise, et donne des résultats exacts, elle nécessite une modification du composant pour l'intégration des capteurs RTD, ce qui rajoute un

degré de complexité supplémentaire et un coût associé élevé. Cela incite au développement d'une nouvelle méthode plus pratique, fiable, et peu coûteuse, par laquelle les modules peuvent être caractérisés thermiquement sans avoir besoin de modifier les puces et intégrer des capteurs RTD ou des thermocouples à l'intérieur.

2.1.2.4 Effet du temps de cycle d'assemblage

L'une des clés les plus importantes d'un assemblage TCB réussi est non seulement le bon contrôle de la température, mais également la réussite d'un profil thermique optimisé qui tient compte des temps d'assemblage, de montée et de descente en température en peu de temps. Pendant le processus d'assemblage, plus la vitesse de montée en température est rapide, plus le temps de cycle pour assembler un module est court [44]. Cela se fait généralement au détriment de la réduction de l'homogénéité de la température aux interfaces de liaison, provoquant ainsi des défauts dans les interconnexions [53]. Des vitesses de chauffe plus lentes sont alors nécessaires afin d'assurer un bon contrôle du processus et garantir que toutes les interconnexions à l'interface sont fondues au même temps. Un temps d'assemblage total de plus de 15 secondes est par ailleurs recommandé afin de former des intermétalliques entièrement stables et obtenir une meilleure qualité d'assemblage [27][37][38]. Outre le temps d'assemblage, la tête d'assemblage doit accomplir plusieurs étapes, y compris le ramassage de la puce, l'application du flux, la descente et la montée de la tête d'assemblage. La répétition de ces opérations, indépendamment pour chaque module, rend le processus TCB beaucoup plus lent et moins productif (<1000 unités par heure (UPH)) que le processus de refusion en masse (MR : >4000 UPH) (Figure 2.11) [36]. La conséquence en est indéniablement des coûts de production plus élevés.

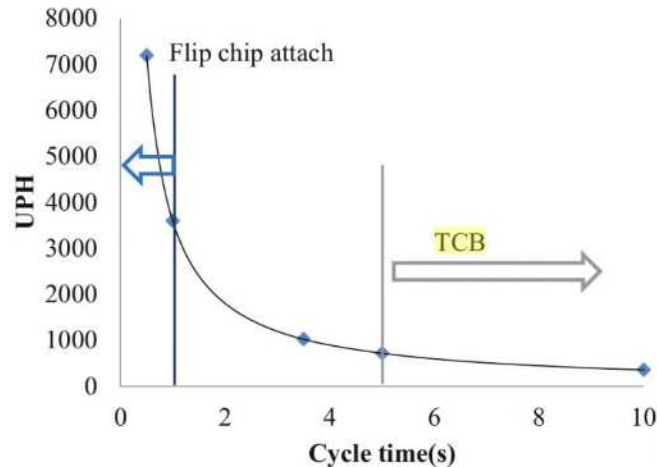


Figure 2.11 Graphique de débit de production: unité par heure vs temps de cycle [36].

Pour relever les défis du temps d'assemblage TCB lent et faire face aux exigences de haut débit de production, des nouvelles techniques d'assemblage TCB ont été développées, y compris : assemblage mixte [57][61][62] et la technique d'assemblage avec contact en phase liquide (ou en anglais liquid phase contact LPC)[63]. La technique LPC (Figure 2.12) consiste à réaliser un assemblage TCB tout en maintenant la tête de liaison à des températures élevées (20~30°C inférieure du point de fusion de la brasure). Cette technique a pu réduire considérablement le temps d'assemblage en raison du fait qu'il n'y avait pas de perte de temps pour la chauffe et le refroidissement répétés de la tête d'assemblage [63]. L'autre technique d'assemblage mixte consiste, dans un premier temps, à assembler temporairement un module composé des joints partiellement fondus, puis à le rendre entièrement liés lors d'une phase séquentielle de refusions collective (plusieurs modules). Ces deux techniques d'assemblage différentes ont pu démontrer une bonne fiabilité des joints et une amélioration significative du débit de production par rapport à la TCB standard, montrant une productivité d'environ 1200-2000 UPH [57][61][62][63].

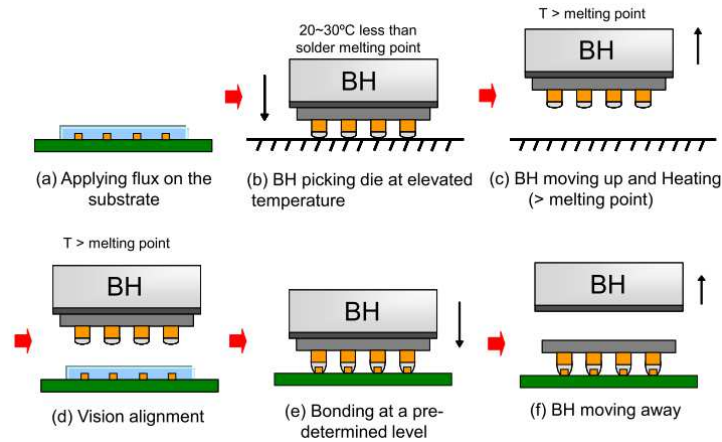


Figure 2.12 Description du procédé LPC TCB [63].

Toujours dans le but d'augmenter les débits de production, un nouveau concept, combinant l'étape d'assemblage TCB et le remplissage par *underfill* a été développé [64]. Le principe est de déposer l'*underfill*, contenant déjà du flux, avant le processus d'assemblage TCB. C'est une méthode efficace qui élimine la difficulté de combler l'écart étroit entre la puce et le substrat par capillarité. Le dépôt de l'*underfill* s'effectue soit sous forme d'un film semi-solide isolant (non conductive film ou NCF), soit sous forme d'une colle isolante déposée sur le substrat (non conductive paste ou NCP). NCP présente l'avantage d'avoir une plus grande contrôlabilité de l'écoulement du filet d'*underfill* autour de la puce [65]. Les deux *underfills* sont des matériaux polymères à base d'époxy qui durcissent à une température de liaison suffisamment élevée pour développer une résistance mécanique qui maintient les joints d'interconnexion. Cette méthode a notamment montré une bonne aptitude à absorber le stress thermomécanique autour des billes d'interconnexions par rapport au processus traditionnel de remplissage capillaire (*capillary Underfill*, CUF) [66]. La combinaison de plusieurs étapes de process requises (application du flux, assemblage, nettoyage, et le remplissage capillaire) en une seule étape, signifie une amélioration de l'efficacité de production par rapport au procédé TCB standard avec CUF [67][68][69][70][71].

Clauberg et al. [33], dans leur récente publication, ont tenté d'examiner divers process TCB, y compris TCB avec NCP, TCB avec UFF (*underfill film*), et TCB avec CUF, en appliquant le flux sur les billes de brasure (dip flux) ou sur les pads du substrat (sub. flux). Leur objectif était d'établir et d'identifier une feuille de route dont l'objectif est d'améliorer le débit de production à plus de 1500 UPH, tout en utilisant un dispositif de liaison TC spécifiquement conçu. Une illustration du

temps requis pour chaque processus TCB a été établi (Figure 2.13). Les résultats présentés sur cette figure ont montré que le temps a été consommé par la partie thermique du processus d'assemblage, ceci était dû au temps alloué pour la chauffe, le maintien et le refroidissement de la puce. D'autre part, la liaison TCB en appliquant le flux au substrat (sub. flux) s'est avérée avoir le potentiel d'être le processus le plus rapide parmi tous les autres processus, parce que la tête de liaison devait seulement gérer la puce et rester à une assez haute température tout au long du cycle de liaison. Ce processus (sub. Flux) a le potentiel de produire jusqu'à environ 1600 UPH. Malgré son potentiel élevé, il est peu probable que cela soit utile pour l'empilement des puces en 3D, car il est potentiellement inefficace d'appliquer un flux sur la surface de la puce, en particulier lorsque les puces sont empilées en une seule passe à travers la tête de dispositif de liaison TCB.

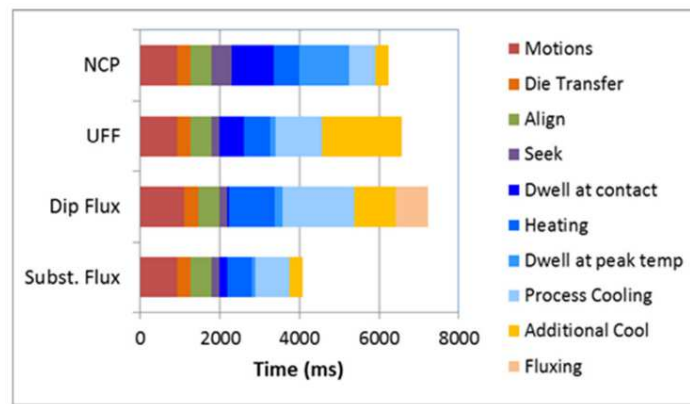


Figure 2.13 Comparaison du temps de cycle du processus et décomposition en composants individuels. Les différentes étapes du processus d'assemblage TCB sont représentées dans des tons de bleu [33].

Bien que des outils d'assemblage avancés et des méthodes d'assemblage innovantes aient été conçus pour réaliser un assemblage TCB réussi en seulement quelques secondes [15][22][36], la productivité reste toujours inférieure à celle de MR [15]. En effet, l'utilisation d'une température élevée peut avoir un impact majeur sur la réduction de la productivité [69], car plus de la moitié du temps de cycle d'assemblage d'une pièce est consacrée au chauffage, au maintien en température, et au refroidissement des interconnexions [33][63]. D'autre part, une sensibilité accrue aux gradients de température (plus de variation de CTE) peut également entraîner des temps de cycle d'assemblage plus lents et en conséquence un débit de production plus faible [72]. En somme, tous les problèmes causés par l'utilisation de températures élevées, y compris les temps de cycle lents, les contraintes thermomécaniques, et les problèmes de dégradation des propriétés mécaniques des

joints en raison de la différence de CTE, ont incité les chercheurs à développer des techniques d'assemblage à basses températures.

2.1.2.5 Méthodes d'assemblage à basses températures

La recherche dominante actuellement se concentre sur la réalisation des liaisons de haute qualité à des températures aussi basses que possible, non seulement pour des considérations de réduction de coûts et de productivité, mais aussi pour se débarrasser des problèmes de liaison à de haute température. Il existe une large gamme de techniques d'assemblage à basse température pour fabriquer des joints métalliques différents, les plus couramment utilisées dans les assemblages de brasure flip chip étant [73][74]: la technique TLP (*Transient Liquid Phase Bonding*), la technique d'activation de la surface de liaison (*SAB : Surface Activated Bonding*), l'assemblage TCB à l'état solide (*solid-state TCB*), et l'assemblage thermosonique.

La technique TLP utilise une couche intermédiaire à bas point de fusion entre les métaux de base à assembler. Elle porte parfois le nom de SLID, liaison par interdiffusion solide-liquide, ou en anglais *solid-liquid interdiffusion bonding* (SLID) (fondamentalement le même processus) [75]. Lorsque la chaleur et la pression sont appliquées, la couche intermédiaire se transforme en liquide, améliorant ainsi le contact de surface entre la couche intermédiaire et le métal de base [75]. Le résultat de ce processus est la formation d'un nouvel alliage dont la température de fusion est largement supérieure à celle de la couche d'apport. L'assemblage TLP peut être réalisé dans une atmosphère inerte ou dans l'air avec l'utilisation d'un flux ou d'un *underfill* contenant un flux. Les avantages de la liaison TLP sont la faible température de liaison (proche du point de fusion du métal de liaison à bas point de fusion) et la stabilité à haute température après le procédé d'assemblage. Elle permet également la formation d'une excellente résistance de liaison avec un rendement électrique élevé [76]. La liaison TLP/SLID peut également être faite sans pression (surtout en présence d'un décapant) et se comporte ainsi exactement comme le procédé MR avec une cadence similaire. Cependant, le grand problème de la liaison TLP (avec pression) est ainsi le long temps d'assemblage, qui peut atteindre quelques minutes pour former une liaison stable [75].

Les techniques SAB, TCB (solid-state), et thermosonique sont des procédés de liaison à l'état solide qui sont plus attrayants que la technique TLP car elles permettent un assemblage à relativement

faible température et conduisent à une liaison directe du métal sans avoir besoin de matériaux additionnels ou alternatifs. Le SAB est un procédé basé sur un simple principe selon lequel deux matières activées en surface peuvent être facilement assemblées à très basse température ou à température ambiante. Les surfaces doivent être activées par un faisceau d'atomes rapides ou une source de rayonnement par plasma afin d'éliminer les contaminations et l'oxyde sur la surface du matériau. Généralement, l'assemblage doit être réalisé en atmosphère contrôlée, sous conditions de vides ultra élevés, ce qui rend la technique relativement coûteuse. Des billes de brasure sans plomb telles que Sn-Ag et Au-Sn ont pu être liées avec succès à température ambiante grâce à la technique SAB [77]. Cette technique a montré une habileté à assembler différents types de matériaux. Elle a également montré son efficacité à obtenir une haute résistance de liaison (Figure 2.14), une faible résistance de contact, et une haute stabilité microstructurale [78].

La méthode d'assemblage thermosonique a été développée pour réduire les températures élevées et pour résoudre les problèmes liés à l'utilisation du flux lors du procédé TCB conventionnel [79]. Ce processus ajoute de l'énergie ultrasonore en parallèle à la force et la température afin de contribuer à la réduction de la température appliquée [79][80]. Ainsi, il n'est plus nécessaire de chauffer la brasure au-dessus de sa température de fusion. La température utilisée lors de l'assemblage thermosonique varie entre 150°C ou 200°C, dépendamment des matériaux utilisés [81]. La thermosonique peut aussi réduire la force nécessaire lors de l'assemblage. Les faibles forces et températures rendent cette méthode d'assemblage intéressante pour les puces intolérantes aux températures élevées. Dans certains cas, sous l'effet de la température de friction et de l'énergie ultrasonique transmise vers la puce, les températures de surface peuvent devenir plus élevée que la TCB, provoquant ainsi des changements dans la microstructure, l'augmentation de dislocations, et amenant même à la fusion du solide en contact [82]. La zone de fusion peut représenter une source de contraintes élevées lors du refroidissement par rapport à une structure sans zone de fusion. Bien que cette technique permette des débits de production élevés, avec des larges puces ayant une haute densité d'I/O, il devient difficile de transmettre l'énergie ultrasonore de manière uniforme à chaque interconnexion. Cela limite l'utilisation de cette technique à des hautes densités d'I/O. De plus, l'application d'une puissance ultrasonique lors de l'assemblage peut endommager la puce [83].

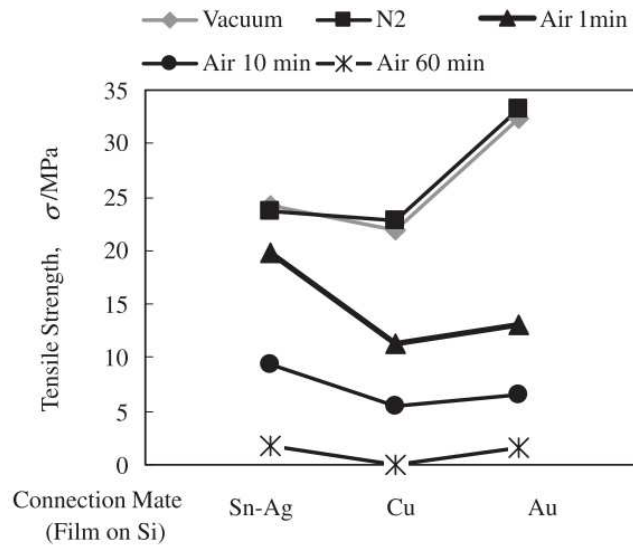


Figure 2.14 Résistance à la traction des billes de brasure Sn-Ag-Cu liées à différents types de matériau (Sn-Ag, Cu, et Au) et dans différents environnements [77].

Les procédés d'assemblage TCB à l'état solide sont ceux qui produisent sous une atmosphère normale la coalescence des surfaces de contact à des températures inférieures au point de fusion du matériau à assembler. De nombreux chercheurs ont introduit la technologie d'assemblage à l'état solide dans les procédés TCB. Cette technique a été adoptée par Wang et al. [84] pour assembler des billes de brasure de type Sn-Ag-Cu. D'après les résultats de Wang et al., une haute résistance au cisaillement et un rendement de liaison élevé a été obtenu sous une pression d'assemblage élevée de 335 MPa, une température de 100°C, et un temps de cycle de 30s. Kim et al. ont pu également assembler des billes de brasure Sn-Ag en utilisant NCF à une température de 100°C, et une durée de 5s (l'article n'inclut pas d'informations sur la force utilisée pour l'assemblage) [85]. Les joints formés ont cependant montré une mauvaise fiabilité mécanique en raison de la teneur en humidité du NCF, qui a entraîné une diminution de la pression de contact entre les billes et les pads et a augmenté en conséquence la résistance de contact. Les travaux de Wang, Kim et al. [84][85] ont évoqué les performances d'une puce scellée sur un substrat par la méthode TCB à l'état solide. Cependant, ces travaux, qui visent à fournir une connexion stable et permanente pour la conduction électrique entre les joints de brasure, n'ont pas abordé l'effet de l'étape de refusion des BGA lors du processus de packaging sur la qualité finale des interconnexions. De plus, ils n'ont pas expliqué le mécanisme exact des formations de liaison durant le procédé TCB à l'état solide. L'avantage de la méthode TCB à l'état solide est évidemment la formation d'une liaison à haute résistance sans utilisation d'une puissance ultrasonique, ainsi le risque d'endommagement mécanique du package

est réduit. Cependant, l'inconvénient majeur du procédé est que son application est trop limitée par l'utilisation des pressions d'assemblage élevées (> 250 MPa) [84].

Une méthode d'assemblage TCB à l'état solide (BATE, Bonding At The End) a été inventée par J.Sylvestre en 2012 [86]. Cette méthode repose sur l'idée que, durant le procédé de packaging, vu qu'une étape de refusion est nécessaire afin de placer les BGA sous le substrat, les modules entièrement liés via TCB subissent à nouveau un autre processus de refusion lors de l'assemblage des BGA. Cela signifie que les processus de fusion et de solidification de la brasure se produisent à nouveau. La méthode d'assemblage BATE comporte plusieurs étapes. Le processus d'assemblage TCB à l'état solide représente la première étape, durant laquelle des joints mécaniques temporaires sont formés en seulement quelques secondes, en utilisant une force et une température au-dessous du point de fusion de la brasure. Après cette étape, un remplissage de l'espace entre la puce et le substrat est ensuite réalisé par insertion capillaire de l'*underfill*, permettant d'assurer le maintien mécanique des joints de brasure temporaires. L'étape finale consiste à appliquer le flux sur les pads du substrat, placer les billes BGA, et faire passer le package dans un four à refusion afin de former les interconnexions. Un profil de refusion avec une température au-dessus du point de fusion de la brasure permet de donner une réaction métallurgique homogène aux joints de brasure temporaires. Le processus BATE peut être en quelque sorte assimilé au processus d'assemblage TCB à l'état solide décrit précédemment par Wang, Kim et al. [84][85], sauf que les joints obtenus lors de l'assemblage TCB initial sont temporaires et n'exigent pas nécessairement de bonnes performances mécaniques ou électriques (seulement assez pour éviter une séparation due aux contraintes de solidification et d'infiltration de l'*underfill*) [86]. De plus, les pressions de liaison utilisées dans le procédé BATE ne sont pas aussi élevées que dans le procédé TCB à l'état solide (comme nous le verrons au chapitre 4).

2.2 Conclusion

Une étude bibliographique sur les processus d'assemblage TCB conventionnel a été présentée, montrant une limitation thermique liée à la non-uniformité de la température sur la surface de la puce. La distribution optimale de la température sur toute la surface de la puce a suscité l'intérêt de plusieurs chercheurs. Grâce à des capteurs de température RTD intégrés au sein des composants, plusieurs auteurs ont pu observer la différence de températures à la surface de la puce lors de

l'assemblage TCB. Il apparaît que la température n'est jamais parfaitement uniforme et qu'il existe toujours un écart de température entre le centre de la puce et la périphérie. Les mesures thermiques lors de l'assemblage TCB ont alors été considérées comme un facteur déterminant pour réduire ces écarts de température et optimiser le procédé.

La recherche de nouvelles technologies d'assemblage plus efficaces que la TCB conventionnelle a suscité aussi l'intérêt de plusieurs autres chercheurs. Des travaux se sont portés sur le développement des méthodes d'assemblage TCB, soit en utilisant un *underfill* pré-appliqué, en utilisant des techniques d'assemblage mixtes, ou aussi en adoptant la technique d'assemblage avec contact en phase liquide. Bien que ces méthodes se soient avérées efficaces pour améliorer le débit de production par rapport à la TCB conventionnelle, des températures assez élevées doivent toujours être appliquées. D'autres travaux se sont concentrés sur les procédés d'assemblage à basse température, tels que la technique TLP (*Transient Liquid Phase Bonding*), la technique d'activation de la surface de liaison (*SAB bonding*), l'assemblage TCB à l'état solide, l'assemblage thermosonique, et le procédé BATE. L'assemblage TCB à basse température a été le centre d'intérêt de plusieurs auteurs non seulement pour résoudre les problèmes de dégradation des performances des composants résultant de l'utilisation de hautes températures mais également pour des raisons de réduction des coûts de processus. Nos recherches dans le quatrième chapitre de cette thèse se concentreront sur le processus BATE. En effet, l'assemblage à basse température, les étapes de processus simples, les forces d'assemblage modérées, les contraintes thermiques réduites, et la compatibilité avec les interconnexions à pas fin, feront de ce nouveau procédé BATE le plus attrayant pour les prochaines générations de dispositifs avancés.

CHAPITRE 3

In-situ Measurement Method for Temperature Profile Optimization During Thermo-Compression Bonding Process

Avant-propos

Auteurs et affiliation :

Salwa Ben Jemaa : étudiante au doctorat, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Pascale Gagnon : ingénieure développement packaging, Centre de Collaboration Micro-Innovation, IBM Bromont.

Jean-François Morissette : Professionnel de recherche, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Julien Sylvestre : professeur, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Date de soumission : 9 Avril 2020, accepté pour publication le 27 Août 2020.

Revue: Transactions on Components, Packaging and Manufacturing Technology.

Titre français : Méthode de Mesure In Situ pour l'Optimisation du Profil de Température Pendant le Processus d'Assemblage par Thermocompression.

Contribution au document :

Cet article met en évidence les conditions de chauffage sur l'uniformité thermique lors du processus d'assemblage TCB conventionnel, pour lequel les faibles vitesses de chauffage présentent une bonne uniformité de distribution de température et une meilleure qualité des joints de brasure. Il contribue à la thèse en répondant au premier objectif de ce projet de recherche, à savoir déterminer le seuil minimum de temps de chauffe nécessaire pour assurer une uniformité de température optimale et donc des brasures de bonne qualité. Cet article a permis de déterminer que la limite thermique fondamentale du temps requis pour l'assemblage du TCB (qui assure une uniformité de température optimale et des joints de brasure de bonne qualité) est de 9,5 secondes (360 unités par heure), correspondant à une vitesse de chauffe de 80°C/s.

L'autre contribution de l'article est aussi l'établissement d'une nouvelle méthode de mesure de température et d'une guide préliminaire de la plage de température réelle obtenue à une vitesse de

chauffe donnée, ce qui pourrait être utile dans le développement futur des processus d'assemblage des puces.

Cet article a été modifié à la suite des corrections demandées par les membres du jury, il faut alors mentionner que la version de l'article présenté dans cette thèse diffère de ce qui a été publié.

Résumé français :

L'assemblage thermocompression (TCB) est un processus important dans le packaging microélectronique, il est généralement considéré comme une technologie prometteuse pour les dispositifs électroniques miniaturisés. Cependant, ce processus produit généralement un faible débit de production par rapport aux processus classiques de refusions en masse (MR), principalement parce que l'uniformité de la distribution thermique à travers le plan d'assemblage exige des longues durées de processus de liaison afin d'obtenir des fiables joints de brasure. Des débits de production plus élevés pourraient être obtenus en réduisant le temps de maintien en température et en augmentant les vitesses de chauffage lors de l'assemblage, mais cela entraîne plus de variations de température entre le centre et les bords du composant et éventuellement des défauts tels qu'un joint des *non-wet* (ouvert) ou des ponts de brasures. Des mesures de distribution de température avec des fiables profils thermiques s'avèrent donc nécessaires pour ajuster les paramètres d'assemblage TCB et éliminer les défauts des joints.

On présente dans ce travail une nouvelle méthode de mesure de la température pour quantifier les limites thermiques du processus TCB. Un capteur à haute résolution spatiale et temporelle a été conçu et micro-fabriqués pour effectuer des mesures *in situ* du profil thermique durant le processus allant jusqu'à 250°C. Ce capteur a été utilisé pour évaluer l'influence des différentes vitesses de chauffage sur l'uniformité de distribution de la température à travers la surface de la puce ainsi que la qualité de jonction qui en résulte. Cette dernière a été déterminée par l'évaluation de la résistance à traction des joints de brasure et par la caractérisation des défauts interfaciaux. Les résultats démontrent que des faibles vitesses de chauffage (50°C/s) conduisent à des défauts de pontage tandis que des vitesses de chauffage élevées (> 80°C/s) induisent des défauts (*non-wet*) dans les joints de brasure. Les défauts du joint de brasure peuvent être liés aux mesures d'uniformité de la température effectuées avec le capteur RTD, offrant ainsi un moyen d'optimiser plus efficacement la vitesse de chauffage du TCB dans les processus industriels.

Mots clés : Capteur micro-fabriqués, assemblage par thermocompression, mesures de l'uniformité de la température.

CHAPITRE 3

In-situ Measurement Method for Temperature Profile Optimization During Thermo-Compression Bonding Process

3.1 Abstract

Thermo-Compression Bonding is an important process in electronic packaging and is widely seen as a promising technology for miniaturized electronic devices. However, this process usually yields a lower throughput when compared to more conventional mass reflow processes, mainly because the thermal distribution uniformity across the bonding plane, as required for reliable joints, is achieved with longer bonding dwell times. The fact of passing each chip independently through a full thermal cycle with longer TCB dwell significantly reduces the throughput. Higher throughputs could be achieved by reducing the dwell time and increasing the heating rates, but that comes at the cost of higher temperature variations between center and edges of the bonded component, leading to defects such as non-wet or bridged. Reliable temperature distribution measurements are thus needed to eliminate these joint defects. We present a novel method of temperature measurements to quantify the thermal limits of the TCB process. A micro-fabricated sensor with high temporal and spatial resolution was designed and fabricated for in-situ temperature profile measurements up to 250°C. This work aims to evaluate the influence of different heating rates on the temperature distribution across the chip surface, as well as on the resulting bonding quality. The bonding quality was assessed by the evaluation of bonding pull strength and interfacial defect characterization. The results demonstrate that slow heating rates (50°C/s) lead to bridge defects and high heating rates (> 80°C/s) induce non-wetting defects in the solder joints. The solder joint defects can be related to the temperature uniformity measurements performed with the RTD sensor, thus providing a mean to more efficiently optimize the TCB heating rate in industrial processes. These results allow us to conclude that 80°C/s is the appropriate heating rate, and that the fundamental thermal limit of the time required for a successful TCB process is 9.5 seconds (corresponds to 378 UPH).

Index Terms— micro-fabricated sensor, Thermo-Compression Bonding, temperature uniformity measurements.

3.2 Introduction

Nowadays, thermo-compression bonding (TCB) is becoming an attractive interconnection technology for advanced packaging in next-generation circuits and systems. Here, the term TCB is used to refer to the direct bonding of a chip to a substrate in a flip-chip configuration, through an array of solder joints. Although the traditional Mass-Reflow (MR) method has been widely used in 2D packaging, its applicability is somewhat limited in 2.5 and 3D integrated circuit (IC) packaging, as the chip-level pitch reduction requires higher precision assembly processes. There is a limited control of package warpage with the traditional MR, which can be improved with TCB processes [3]. TCB provides the required level of precision for bonding higher I/O interconnect density and fine pitch flip chip configurations [3][14]. However, the lower throughput is a major drawback that limits the adoption of TCB for high volume manufacturing. The TCB process needs long assembly times due to the serial processing of the chip in multiple steps. The repetitive heating and cooling of the bond head takes a certain time, which influences the bonding throughput significantly and hence can lead to a higher manufacturing cost per unit than mass reflow [33]. The ability to introduce the TCB technology in high volume assembly factories requires significant process optimization. Several TCB interconnection methods have been used to achieve higher throughput production, such as two-step bonding methods [61], the liquid phase contact (LPC) TCB approach [63], TCB with pre-applied underfill [66], and mixed-techniques bonding [76]. However, for each interconnection method, the process optimization remains difficult and in practice requires numerous iterations to achieve the optimal parameters for reliable interconnections. For all TCB variants, temperature control is especially important for achieving high-quality joints, and it contributes significantly to the complexity of finding optimal process parameters.

In standard TCB processes, the temperature should increase to a substantially higher level than the solder melting point (218°C- 220°C for SnAgCu) while maintaining a uniform temperature distribution across the chip. If the heating rate is too high, the temperature difference between the edge and the center of the die increases. A low heating rate requires a longer time for the solder

joints to achieve their melting point and also reduces the amplitude of temperature variations but reduces the TCB throughput. Unsuitable control of temperature can affect the performance and reliability of the bonds, resulting in solder bridging or non-wetting due to excessive or insufficient heating, respectively. The occurrence of these defects may increase with larger die sizes and higher I/O counts. When accurate information about the temperature distribution over the die is available, the TCB profile can be improved and therefore the number of TCB experiments required to determine the optimal process can be drastically reduced. Therefore, in order to obtain a uniform temperature distribution across the chip area during the TCB process, more emphasis should be placed on developing a method of in-process temperature measurement.

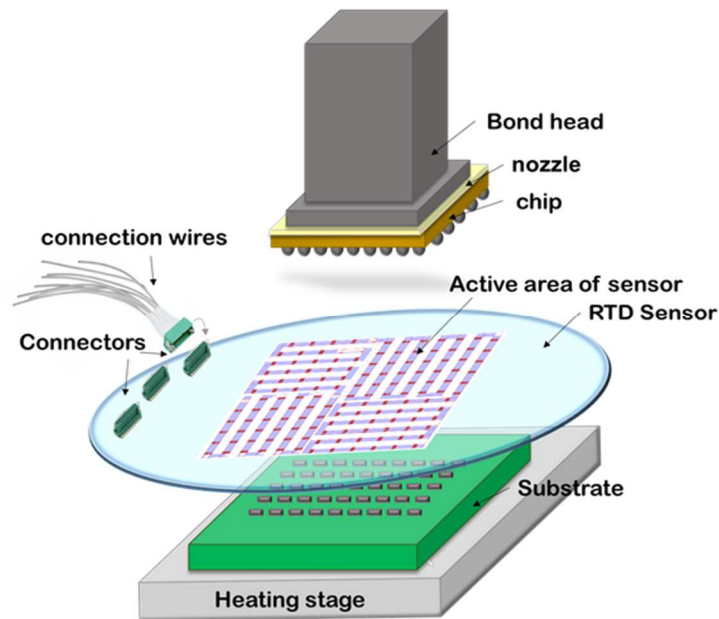


Figure 3.1 Schematic of temperature measurements with the RTD sensor.

The authors of the other prior art sources [87][57][56] have demonstrated a technique that can provide information about the TCB thermal profile, by employing thermocouples attached to the chips. Reference [57] measured the temperature by two thermocouples attached to the upper center layer and lower center layer of 3D-stacked IC. In references [56][87] only one thermocouple was used at the chip edge. However, this temperature measurement method is insufficient for TCB process optimization, as it does not experimentally provide temperature distribution data over the entire assembly surface. It is necessary to collect temperature data from multiple sensors to ensure

a uniform temperature distribution at the chip-substrate interface, and to further optimize the TCB process. Moreover, electronic components are getting smaller and more fragile and so the relatively thick thermocouple wire size used in these studies is not suitable for finer pitch bump assemblies, as this causes bad contacts and gaps between the chip and substrate. An alternative method based on embedded micro-sensors have been proposed in references [40] and [39]. In [40] a custom sensor chip, with 64 resistance temperature detector (RTD) micro-sensors integrated next to the bonding pads, was used to monitor the temperature uniformity across the chip and the heating temperature profile. The microsensors were arranged in an 8×8 array, and 28 RTD (out of the total of 64) were used. Reference [39] used the same approach, but with only three microsensors to measure the temperature in real time during the TCB process. Both references [39] and [40] propose a new methodology to characterize the temperature during the TCB process, but the implementation of microsensors embedded in the package is not straightforward. The modification of the chip to integrate micro-sensors for the TCB process optimization can be complex and costly in fabrication.

We report on the optimization of the spatial temperature uniformity across the chip during high throughput TCB using a new thermal characterization technique. Our technique enables steady-state and transient thermal measurements under real industrial TCB process conditions, without the need of embedded thermal microsensors in the chip. We have developed an RTD sensor that enables real time in-situ temperature measurements over a surface. It is fabricated on a silicon wafer that can be placed in several positions in the TCB stack, including between the chip mounted to a bonder head and a substrate located on a base stage (Figure 3.1). This paper first provides a general description of the sensor design, sensor calibration, and thermal characterization setup (section 3.3). The second part of the study focuses on the experimental thermal measurements conducted to extract process temperature values at different locations on the chip (section 3.4). The temperatures measured were evaluated for several heating rates in order to correctly establish, over fixed dwell time, the optimal heating rate that provides the minimal temperature gradient across the chip to achieve good joint quality (section 3.5).

3.3 Development of the RTD Sensor Chip

3.3.1 Design

Among the various types of available temperature sensors, the RTD offers many advantages, including high linearity, high accuracy, and short response time. The RTD consists of an electrical resistance $R(T)$ made of a metal with resistivity that increases linearly with temperature T :

$$R(T) = R_0(1 + \alpha_T(T - T_0)), \quad (1)$$

where R_0 is the resistance at the reference temperature T_0 , and α_T is the temperature coefficient of resistance (TCR). Our RTD sensor was fabricated on a 4-inch (100) silicon wafer via a thin film evaporation process. Design and dimensions of the RTD are detailed below (Figure 3.2.a). The temperature sensor array consists of a 12×12 grid of independently measurable RTD. The active area of the sensor is 35×35 mm², for a relatively high spatial resolution of 6.25 mm². A four-wire measurement method was employed to obtain an accurate sensor signal. This method consists of injecting a constant current in the sensor and measuring the voltage drop across each individual RTD. The resistance was then calculated using Ohm's Law. Each individual RTD is associated with two connection pads where an electrical connector is soldered (Figure 3.2.b). The electrical connectors were selected to be able to withstand high temperatures (+150°C) and were located around the peripheries of the wafer (outside the chip bonding area) so their temperature does not exceed 150°C during normal use of the sensor. A Keithley 2400 Source meter was used for supplying current to the sensor. The current (I) was kept at 0.3 mA to prevent any self-heating effects in the RTD. The voltage (V) drops across the RTD were measured using an Agilent data acquisition unit (34970A model).

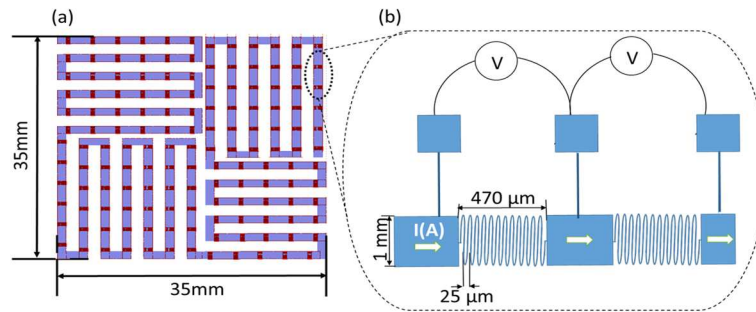


Figure 3.2 a) Layout of RTD sensor array, b) serpentine pattern for two RTD.

Copper was chosen as the sensor material because of its temperature sensitivity, high linearity and stability over the desired temperature range (0°C to 280°C). Figure 3.3 illustrates the RTD sensor fabrication process. The entire sensor fabrication process requires two masks. After an RCA cleaning step of the 500 μm thick wafer (step 1), the fabrication process began by a deposition of a 150 nm thick SiO_2 insulating layer (step 2). Photoresist was patterned using UV lithography (step 3). It was followed by the evaporation of the metal stack: 50 nm of Cr, 500 nm of Cu, 40 nm of Au, and a thin film 5 nm of Cr (step 4). The Cr films were deposited to improve adhesion. The thin gold layer was deposited to prevent copper oxidation.

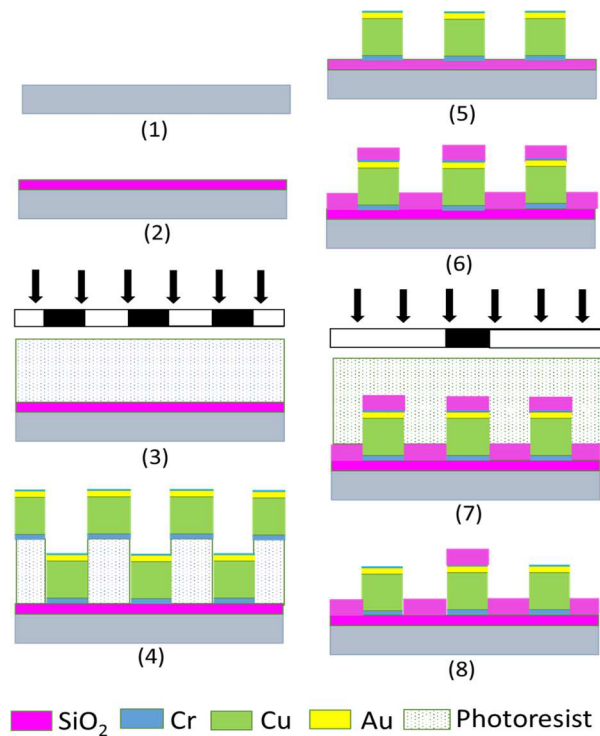


Figure 3.3 Fabrication process of RTD sensor: 1) clean Si wafer, 2) SiO_2 deposition, 3) spinning and patterning of photoresist, 4) evaporation of Cr/Cu/Au/Cr, 5) liftoff of metals, 6) SiO_2 passivation layer deposition, 7) spinning and patterning and etching of photoresist for the second photolithographic process, 8) acetone cleaning.

The lift-off technique was utilized to form the array of micro temperature sensors (step 5). Another thin layer of SiO_2 (300 nm thick) was deposited again on the top of the circuits to serve as protection and passivation layer (step 6). The second photolithographic process was employed to define the passivation openings contact pads used to bond the connector wires (step 7). Finally, after an

acetone cleaning of the wafer to remove the photoresist (step 8), the sensor was annealed at 280°C under an N₂ atmosphere to improve copper resistivity and prevent drift in the RTD responses.

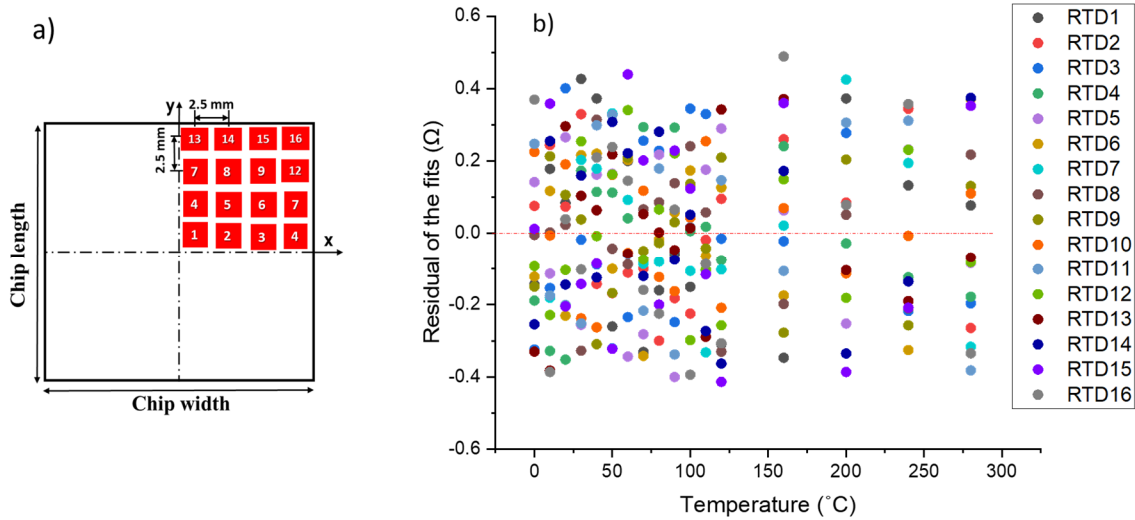


Figure 3.4 a) Number and location of RTD in the test chip, a) the residuals from the straight-lines calibration data of the 16 RTD.

3.3.2 Sensor Calibration

The chip was symmetric with respect to the X–Y planes, as shown in Figure 3.4.a, so only one-quarter of the chip was considered in our measurements. Sixteen RTD (in a 4×4 grid) on a 2.5 mm pitch were calibrated, as this was sufficient to perform the thermal measurements presented in this work. Figure 3.4.a shows the location of the 16 RTD on the quarter of the chip surface. The calibration procedure included two steps. In the first step, the sensor was placed in an environmental chamber with an internal temperature varied between 0°C and 120°C in increments of 10°C. A second calibration step was performed by installing the sensor on the stage of a Fintech Fineplacer pico flip-chip bonder and using the bonding head as temperature control. In this step, the temperature was varied from 120°C to 280°C in increments of 40°C. The temperature measured at the connectors did not exceed 150°C. This second calibration step allowed a matching of the temperature calibration over the full operating temperature range (23°C–280°C). An Omega CL3515R precision temperature meter (4-digit LCD) with a thermocouple (type-T) was used as a reference. The residuals from the straight-lines calibration data, over the range from 0°C to 280°C, were calculated and plotted in Figure 3.4.b. The residuals correspond to the difference between RTD measurements and values predicted from the linear model. The residual data show that the

experimental errors are randomly distributed along the tested range, with mean very close to zero. The chosen linear model was therefore found to be adequate for the calibration of the RTD within the range from 0°C to 280°C.

The linear model gave a slope m (in $\Omega/^\circ\text{C}$) and intercept b (in $^\circ\text{C}$) for each RTD, for resistance values obtained from Ohm's law. Assuming independence between the errors, the uncertainty in the measured temperature, Δ_T , could thus be obtained from:

$$\Delta_T = \sqrt{\Delta_{mV/I}^2 + \Delta_b^2}, \quad (2)$$

for

$$\Delta_{\left(\frac{mV}{I}\right)} = \left(\frac{mV}{I}\right) \sqrt{\left(\frac{\Delta_m}{m}\right)^2 + \left(\frac{\Delta_V}{V}\right)^2 + \left(\frac{\Delta_I}{I}\right)^2}, \quad (3)$$

The uncertainties in m and b , were determined by the fitting routines. An uncertainty of $\pm 0.81^\circ\text{C}$ on the reference temperature was considered when evaluating the uncertainties on the fit parameters ($\pm 0.5^\circ\text{C}$ from type T thermocouples and $\pm 0.64^\circ\text{C}$ from the Omega temperature meter CL3515R). The uncertainties in the measurement of voltage using the data acquisition unit (34970A model) and current using the source meter (Keithley 2400) are negligible (less than 0.05 %). A maximum uncertainty in the measured temperature value was thus estimated to be $\Delta_T = \pm 1.1^\circ\text{C}$.

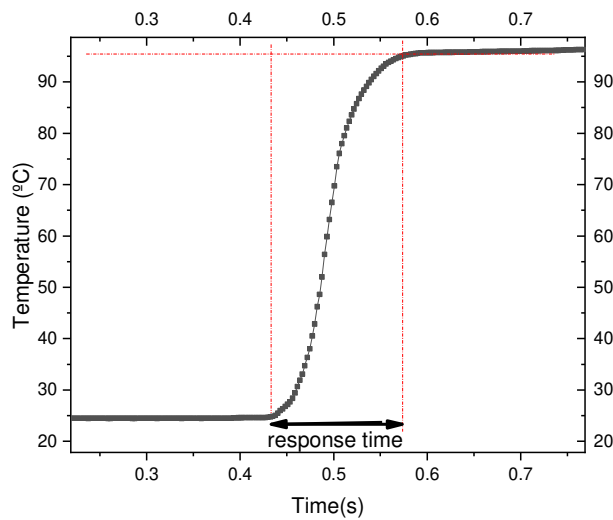


Figure 3.5 Thermal response time of an RTD.

The response time of the sensor was also an important characteristic of the RTD sensor. It was tested by recording the change in signal response when the sensor, initially at room temperature (24°C), was suddenly brought in contact with a hot plate at temperature of 100°C. The response time was generally defined as the time needed to reach 99.3 % of its final steady-state response. Figure 3.5 presents the experimental thermal response of the RTD sensor. The response time of the proposed sensor was determined to be 145 ms. This response time was proved to be suitable for the current study on TCB processes. The RTD sensor was thin and highly conductive, and as it was in tight contact with the TCB heated platform. It could therefore rapidly reach thermal equilibrium with the platform, except for a small area just outside the footprint of the substrate of the assembly.

3.4 TCB: Test Vehicle and Thermal Characterization Setup

In our experiments, we were interested in characterizing the temperature uniformity across the chip area during the TCB bonding process. A test vehicle with lead free solder bumps was used to evaluate the bonding process. The size of the die was 19×19 mm² with a thickness of 0.787 mm. The chip used in this study had 10 414 bumps with Sn0.6Ag solder material. The diameter of each bump was 85 µm and the pitch size was 148 µm. The substrate size and thickness were 55×55 mm² and 0.85 mm, respectively, with Sn3Ag0.5Cu solder bumps.

The in-situ temperature measurement technique can be described as follows. First, the backside of the sensor was contacted with the top side of the substrate while ensuring that the sensor remained in place and did not move during the manipulations. Then, the sensor and substrate were placed on a heating stage and held in place with vacuum. The thermal characterization measurement began by picking and placing the die on the sensor active area, followed by the TCB process, according to the set-point bonding parameters. During the TCB process, the data acquisition system, placed outside the TCB machine, was used to record the experimental temperature at a sampling rate of one data point every 1 ms. The stage was kept at 100°C, while the temperature bond head was increased with a given heating rate from 80°C up to the target setting tool temperature (defined in section 3.5.1). This setting tool dwell temperature was maintained on the die side for 4.5 s, then rapidly cooled to 80°C for 1 s. Once the assembly cycle was completed, the bonding head was released, and the chip was lifted from the sensor surface. The data acquisition was then stopped, and the temperature profile was extracted. This in-situ temperature measurement method was

repeated for each evaluated assembly parameter (setting tool dwell temperature and heating rate) using new chips and substrate samples.

A commercial TCB equipment, the FC-3000WS (Toray Engineering Co., Ltd), was used for thermal characterization and chip bonding experiments. Before TCB bonding, the samples were cleaned by immersion in flux. A light load was applied at the beginning of the process to bring the chip into contact with the substrate during bonding, and the solder material was melted by increasing its temperature. We did not use a large compression force to achieve metallurgical bonding in this work, as is done in other type of thermocompression bonding processes. To control the gap between the chip and substrate and to diminish the solder squeezing phenomenon during the process, the gap control method was adopted. This function controls the position of the head (in the out-of-plane direction) in real-time during assembly and can adapt to the thermal expansion of the materials. During the temperature rise phase, the bonding process was in force-control mode, where the bond force was kept constant at 15 N. As the steady-state temperature was reached, the bonding process transitioned from force-control to gap-control. During this phase, the bond head was retracted to follow the expansion of the material set, while keeping the desired gap between the die and substrate. Because the gap-control function worked while the solder joints were in the liquid state, and the molten joints were quite soft, it provided very good force control as well. In addition, the vacuum integrity was monitored by the machine, and we expect vacuum leaks to have been negligible during our experiments.

There was always a difference between the temperatures obtained with the sensor at the solder surface and the predetermined set-point temperature of the bonding tool. During the TCB process, a high temperature was applied to the top chip, while the bottom substrate was kept at a constant lower temperature of 100°C. Nevertheless, the variable heat transfer process could be characterized, from relatively uniform temperature distributions at low heating rates to non-uniform temperature distributions at large heating rates, but, it was important to carefully control the temperatures obtained at the solder surface with each variation of the set-point temperature values.

Both steady-state and dynamic measurements of the bonding temperature were performed. During steady-state measurements, the set-point temperature, which allowed achieving the melting point of SnAg solder bumps (221°C) over the entire chip surface, was determined. The first goal was to

determine the temperature distribution at equilibrium near the solder bumps surface, for various set-point temperature values of the bonding tool. Based on the predetermined set-point temperature, dynamic heat measurements were then conducted. The dynamic heat measurements were carried out to evaluate the time required to reach the given steady-state temperature (221°C) over the ¼ of the chip surface. They were performed by varying the heating rate parameter. The required heating rate should ensure a uniform temperature distribution and, consequently, a good solder joint free of non-wet (open) and bridge (short) defects. Following the thermal characterization with sensors, the chip bonding experiments were finally conducted under the same heating rate conditions as the dynamic measurements. The surface temperature non-uniformity and its influence on the bonding results were analyzed by the experimental methods of bond pull-out test for determining the interfacial tensile strength, *dye-and-pry* analysis (described in section 3.5.3), and optical micrographs of cross sections.

3.5 Experimental Results and Discussion

3.5.1 Steady-State Temperature Measurements

To predict the steady-state temperature reached in the solder bumps surface, different temperature settings of the bonding tool (100°C, 150°C, 200°C, 250°C, 300°C, 350°C, and 400°C) were investigated, as shown in Figure 3.6. Due to the temperature gradient, the steady-state temperature at the center (point 1 in Figure 3.4.a) and the edge (point 16 in figure 3.4.a) of the chip was plotted in Figure 3.6. The steady-state temperature distribution data were collected from the sensor response when a stable value was reached. As expected, the results revealed a difference between the temperatures obtained with the sensor at the solder surface and the predetermined set-point temperature of the bonding tool. The two linear fits of the experimental data showed that temperatures between 230°C (at the edge) and 250°C (at the center) could be achieved with a setting tool temperature of 400°C. A setting tool temperature below 400°C can prevent reaching the melting point of the solder bumps. Thus, a setting tool temperature of 400°C was required to achieve the melting point of SnAg alloys (221°C) and to assure uniform temperatures distribution in the range of 230-250°C.

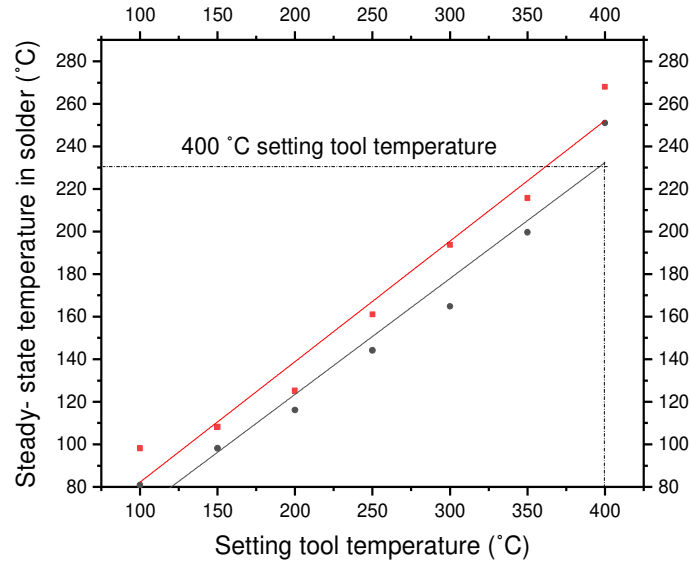


Figure 3.6 Steady-state temperature in the solder bumps versus set bonding tool temperature: the red line corresponds to the linear fit of data at the center of chip (RTD N°1) and the black line corresponds to the linear fit at the edge (RTD N°16).

3.5.2 Dynamic Temperature Measurements

In this part, the influence of the heating rate on the temperature distribution was investigated. The dynamic temperature measurements were performed employing four heating ramp rates of 50, 80, 100 and 180°C/s, while keeping the other parameters constant (dwell time, gap control, dwell temperature). The measurements were carried out by ramping temperature from 80°C to the setting tool dwell temperature of 400°C, then holding at 400°C for 4.5 s. The dwell time of 4.5 s was chosen for high throughput considerations. Finally, the bond head was cooled down again to reach its initial temperature value of 80°C in 1 s. This process was executed at a constant stage heater temperature of 100°C. Total process times were 11.5 s, 9.5 s, 8.7 s, and 7.7 s at the heating rates of 50, 80, 100, and 180°C/s, respectively. The temperature responses curves recorded by the RTD sensor at each heating rates are presented in Figure 3.7. With the results obtained from the distributed RTD, a map of the temperature location on one-quarter of the chip surface was generated using linear interpolation, as shown in Figure 3.8. The measurements show a significant temperature difference, defined as $\Delta T = T_{\text{max}} - T_{\text{min}}$, where T_{max} and T_{min} are the maximum and minimum temperatures recorded at the end of the dwell time, over the 16 RTD. The temperature in the center of the chip was always higher than in the periphery. Once the required dwell

temperature (setting tool temperature of 400°C was reached, the temperatures in the chip kept on increasing and no steady state was achieved, except for the lowest heating rate. At the end of the holding time of 4.5 s, the minimum temperatures reached on the solder bumps surface were 251°C, 241°C, 217°C, and 201°C for 50, 80, 100, and 180°C/s, respectively. Therefore, the solder melting temperature (221°C) was achieved over the whole surface only at slower heating rates (50°C/s and 80°C/s). More precisely, at both of these heating rates, the melting temperature was reached during the transient phase before the end of the dwell time. However, temperatures below 221°C were recorded at some locations over the chip surface at higher heating rates (100°C/s and 180°C/s). This, in turn, can lead to joint quality issues during the TCB process, as described in section 3.4.

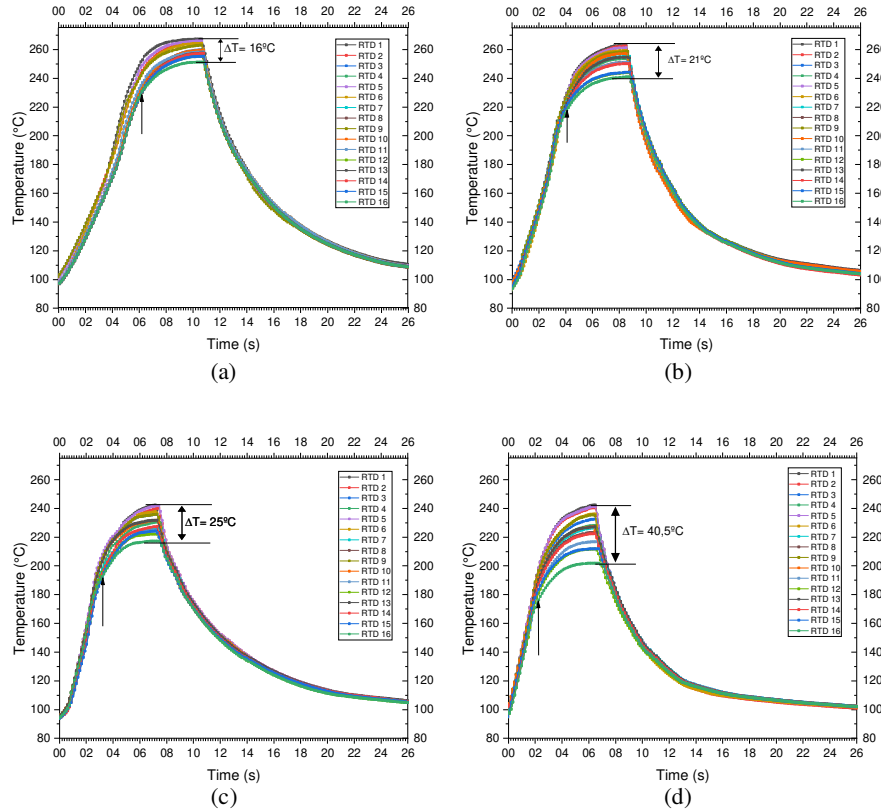


Figure 3.7 RTD thermal profiles responses with different heating rates: a) 50°C/s, b) 80°C/s, c) 100°C/s, d) 180°C/s, the arrow in each figure indicates the time at which time the heating set-point of 400°C was reached.

According to the thermal profiles in Figure 3.7c-d, the temperature difference between the center and the edge was not significant at the beginning of heating. During the heating phase, the temperature of the chip and bottom substrate was nearly identical. At the end of the heating ramp,

a rapid increase in the temperature spread over the sensors at different locations became more apparent.

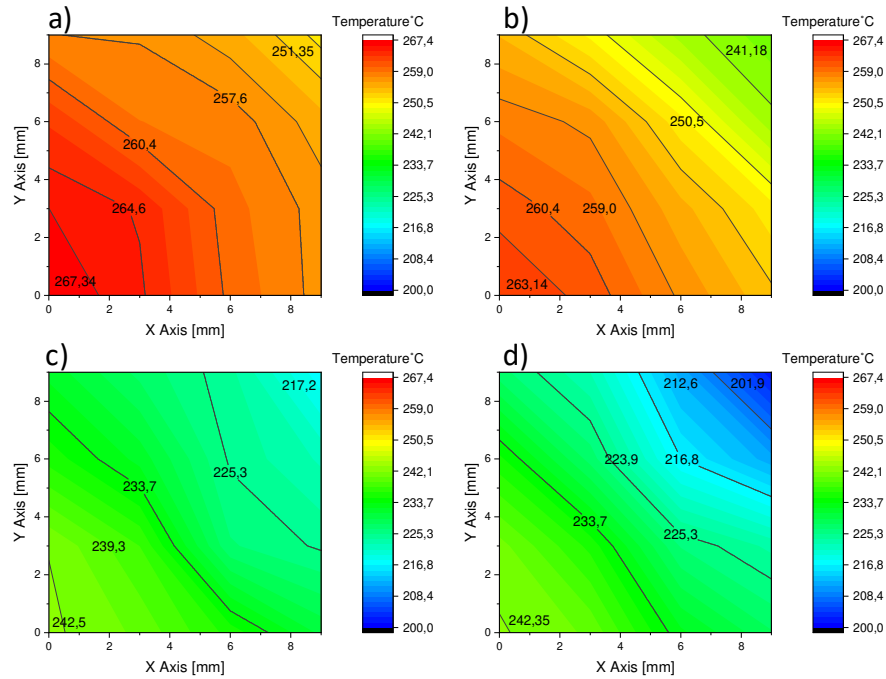


Figure 3.8 Temperature maps on a quarter of the chip, recorded at different heating rates: a) 50°C/s, b) 80°C/s, c) 100°C/s, d) 180°C/s. The contours show linearly interpolated temperatures on the measurement 4x4 array (i.e., 16 RTD) on a 9 mm x 9 mm surface area (1/4 of the chip area).

An important point to note in Figure 3.7 is that at high heating rates the edges of the sensor never reached the steady-state temperature (at 400°C set-point) shown in Figure 3.6. Figure 3.9 shows a comparison of the temperature profiles with a heating rate of 150°C/s and over a long period of constant heating, that were used to study the steady-state temperatures are reported in Figure 3.6, with at the profiles for a rapid heating rate of 100°C/s and 4.5 s dwell time (Figure 3.7.c). It can be observed that the system had fairly slow thermal dynamics, reaching the steady-state more than 20 s after reaching the 400C set-point. At the end of the 4.5 s dwell time, when the heating of the bonding head was ended, the temperature was still changing rapidly, especially near the center of the chip, thus resulting in larger temperature differences between the center and the edge. This effect was more pronounced at larger heating rate.

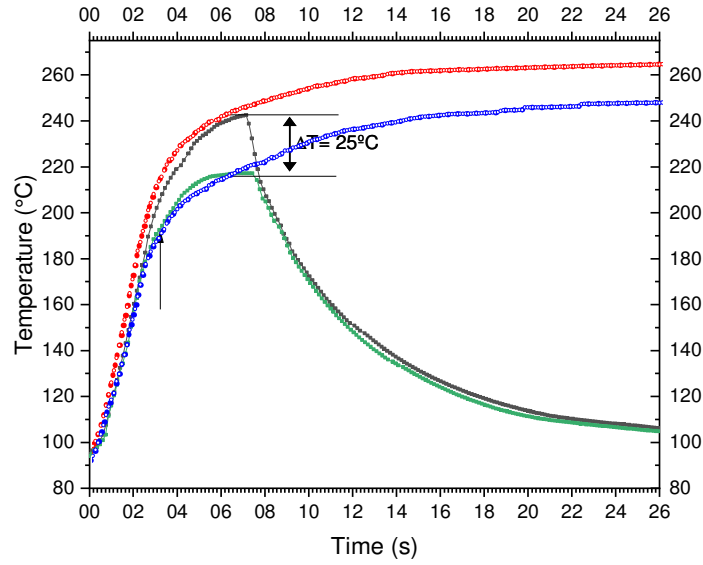


Figure 3.9 Thermal profile responses: the red and blue lines correspond to the steady-state profile at a set point temperature of 400°C obtained at a heating rate of 150°C/s (referring to Figure 3.6) for the center and the edge, respectively. The black and green lines correspond to the thermal response profile at a heating rate of 100°C/s (referring to Figure 3.7.c) for the center and the edge, respectively.

These observations suggest that the heat transfer phenomena are non-linear, and the temperature profiles were not simple functions of the head set-point temperature, but also included a dependence on the heating rate. We think that this could most likely be due to the complex turbulent convection of hot air around the bonding head [52][55].

The difference between the maximum and minimum temperatures (ΔT) on the surface of the solder bumps was also calculated for each heating rate (Figure 3.10). When the applied heating rates were 50°C/s, 80°C/s, 100°C/s, 180°C/s, the ΔT was 16°C, 21°C, 25°C, and 40.5°C, respectively. As shown in Figure 3.10, the temperature difference (ΔT) values increased almost linearly as the heating rates increased. These results are consistent with previous observations [88], which also exhibited a linear relationship between the heating rates and the temperature gradients.

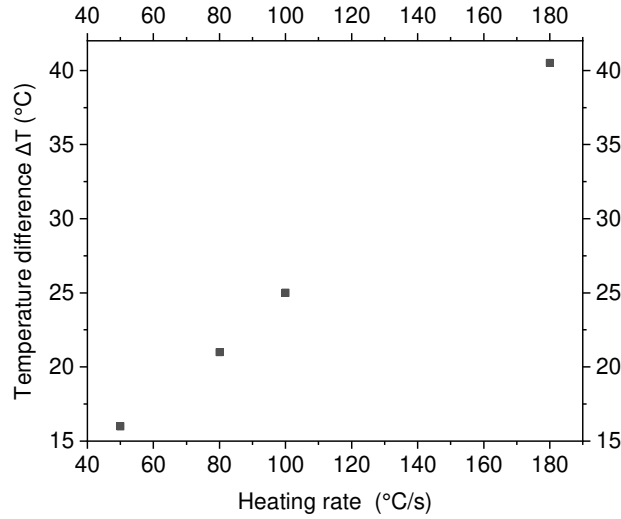


Figure 3.10 Surface temperature non-uniformity as function of heating rate.

3.5.3 Bonding Quality Evaluation

An optical micrograph cross-sectional analysis was used to evaluate the solder wetting with the tested heating rates (Figure 3.11). The bonded samples at slow heating rates (50°C/s and 80°C/s) showed better joint quality than those at faster rates (100°C/s and 180°C/s). Non-wets defects were clearly observed in the optical micrograph cross sections with excessively large heating rates (100°C/s and 180°C/s), while no joints defects were observed at 80°C/s (Figure 3.11.b). According to the temperature distribution maps in Figure 3.8.a, the slower heating rate of 50°C/s showed a relative increase in the chip surface temperature, compared to the other heating rates, while exhibiting relatively low thermal gradients between the center and the edges.

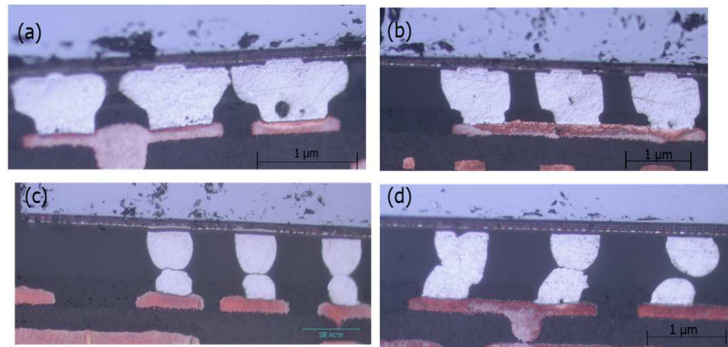


Figure 3.11 Optical micrograph of cross-section of the joints. a) near contact (bridge defect) at 50°C/s, b) normal or defects free at 80°C/s, c) non-wets 100°C/s, d) non-wets or non-contact(opens) at 180°C/s.

As shown in Figure 3.7, the low heating rate (50°C/s) provided a longer period of time above the solder melting temperature (about 6 s at 50°C/s compared to only 3 s at 180°C/s). Exposing solder joints above their melting point temperature for an extended period of time may have increased the probability that some of the melted joints that had a larger volume (due to solder electroplating non-uniformity and variability) had come into physical contact with adjacent solder joints, consequently forming bridge defects [89]. Contact (bridge defect) was observed in the sample at the lowest heating rate (50°C/s).

In order to determine the required temperature profile for good bonds, two failure analysis methods were used: the dye and pry analysis and the tensile pull strength of four joined samples under different heating rates. Dye and pry failure analysis is a simple approach that evaluates the quality of the solder joints into the whole area of the chip surface. It involves immersing the entire assembly into a penetrating dye, placing it into a vacuum chamber for 5 min to ensure the penetration of the dye in all unbounded areas, heating at 90°C for 3 hours to ensure the drying of the dye, and prying off the chip from the substrate. As in the thermal measurements with the sensor, the dye and pry failure analysis was conducted on four samples (only one sample per heating rate tested condition) bonded at the same test conditions with different heating rates (50, 80, 100, and 180°C/s). After the Dye and pry, solder joints failures were observed by optical microscopy. Figure 3.12 shows the optical images of some solder joints in the chip side. The occurrence frequencies of the non-wetting and bridging defects are given in Table 3-1. It was defined as the ratio of the total number of interconnections with a defect to the total number of interconnections. As shown in Figure 3.12.a and b, non-wets (i.e. dye penetration) were not observed when the heating rate was 50°C/s, however three bridging defects (~0.03 %, 3 out of 10 400) between bumps were observed at the chip center (Figure 3.12.c As shown in Figures 3.12.d and e, good solder joints can be obtained with an 80°C/s heating rate. No defect was observed within the full chip area. For 50°C/s and 80°C/s heating rates, some joints are lifted from the solder/UBM (Under Bump Metallurgy) interface, suggesting that a strong bond was formed between the chip and substrate (See arrows in Figures 3.12.a-c).

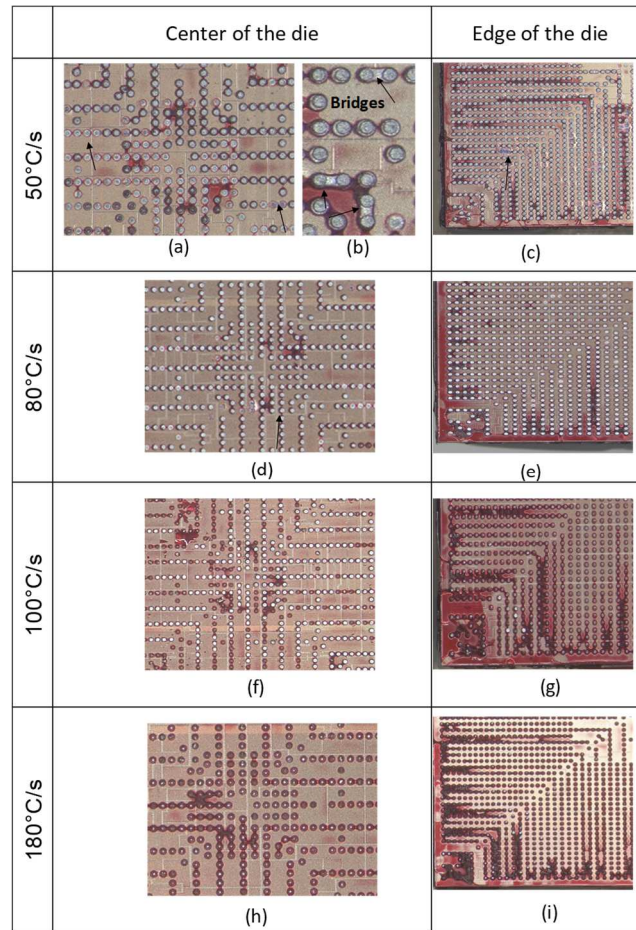


Figure 3.12 Dye and pry results in regions at the edge and center of the chip at different heating rates: 50°C/s, 80°C/s, 100°C/s and 180°C/s; arrows indicate joints lifting from the UBM interface.

At 100°C/s, the dye infiltration was mostly concentrated at the chip corner locations (Figure 3.12.g). This was indicative of incomplete solder joints formation at the chip corners. The non-wets occurrence frequency was 76 % (7 900 out of 10 400). Figures 3.12.h-i show that the dye infiltration across the whole chip surface, which indicates that non-wets were prevalent at the high heating rate 180°C/s. Such a high rate caused approximately 18 % partial wets and 82 % non-wets. These findings are in accordance with the pull strength test results where it was found that high heating rates (100°C/s and 180°C/s) resulted in lower pull strength (Figure 3.13). Sound joints, with a pull strength value exceeding the minimum bond strength imposed by MIL-STD-883H method 2031.1 (448.2 N for the total pull force), were achieved at 50°C/s and 80°C/s. However, a heating rate of 50°C/s was undesirable as it results in some bridges defects.

Table 3-1 Inspection test results.

Heating rate (°C/s)	Bonding results	Frequency of occurrence (%)	Observation results
50	Solder bridges	0.03	Figures 3.12.a-c
80	-	-	-
100	Non-wet	76	Figure 3.12.g
180	Non-wet	82	Figure 3.12.i
	Partial-wet	18	Figure 3.12.h

These results on the bonding quality evaluation correlate well with the RTD thermal response measurements (section 3.5.2). The detrimental effect of excessive temperature differences at large heating rates was clearly observed on the solder joints (the melting temperature of 221°C was not yet reached everywhere on the chip). Indeed, the temperature difference obtained between the heating rates 80°C/s and 100°C/s was not large (25°C versus 21°C), but the difference in frequency of occurrence of the non-wets was important. The real reason could be that by increasing the heating rate to 100°C/s, the nominal temperature was obtained with insufficient heating time, causing the lack of enough time above liquidus and therefore the absence of melting. No effect of the temperature difference on the joint integrity was observed at 80°C/s, as the 21°C temperature difference did not affect the joint quality. However, minimal effect of the temperature difference on the joint integrity was observed at 50°C/s. Thus, the proper heating rate was 80°C/s; at this heating rate, joints had sufficient time at the proper temperature to form good bonds. By comparing the non-wet distributions (Figure 3.12) against the RTDs in Figure 3.8, we were able to deduce that the minimum temperature range needed on ¼ of the chip was 240°C–265°C (based on results at 50°C/s and 80°C/s).

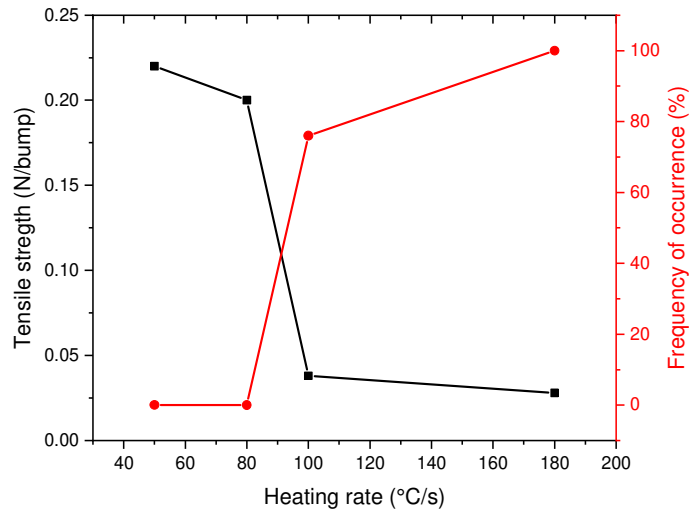


Figure 3.13 Pull strength per bump and frequency of occurrence as a function of the heating rate. The red line corresponds to the non-wets frequency of occurrence and the black line corresponds to tensile strength.

3.6 Conclusion

The influence of temperature non-uniformity in the TCB process on the solder joints quality was studied. We have focused on the influence of the heating rate, because it is the most important parameter influencing the variations of the temperature across the bonding area. We have used a micro-fabricated RTD sensor to investigate the effect of the heating rate on the surface temperature uniformity. We have shown that the thermal measurements with the RTD sensor at the solder joint interface layer can be used to quantitatively optimize the heating rate required in the TCB process. Several heating rates were evaluated to establish the conditions necessary to prevent the formation of large temperature variations across the chip surface. The temperature profiles measured with the RTD sensor showed that increasing the heating rate appeared to disturb the environment of the bonding head and assembly, possibly because a fast heating rate established a different convection environment than a slower rate. The heat transfer to convection is expected to be a highly non-linear phenomenon at large heating rates, thus illustrating the need for precision temperature measurements with high spatial and temporal resolutions (as opposed to, say, a purely numerical analysis). The results of Dye and pry failure analysis, tensile strength, and cross-sectional analysis have revealed that excellent wetting and robust solder joints could be achieved at slower heating

rates (50°C/s and 80°C/s), with a small amount of bridges at 50°C/s. This implies that 80°C /s is the appropriate heating rate and that the fundamental thermal limit of the time required for a successful TCB process is 9.5 s (corresponds to 378 UPH). These solder joint quality results, which are fairly time consuming to obtain and would have normally slowed down considerably the optimization of the TCB process heating rate, can easily be predicted from the temperature differences measured with our RTD sensor. At higher heating rates, the resulting non-uniform temperature distribution as well as the archived temperature range lead to significant solder joints defects across the chip surface. Our measurement method allows us to provide guidelines for the optimization of the bonding process, and leads to the improvement of the bonds quality by the investigation of the heating profiles through the temperature RTD sensor. Future work could focus on heat transfer modeling for a more complete understanding of the complex phenomena that have been observed in this experimental work, especially the dependence of temperature uniformity on the heating rate.

CHAPITRE 4

Development and Optimization of New Flip-Chip Bonding Technique Using Temporary Low-Temperature Thermocompression Bonding

Avant-propos

Auteurs et affiliation :

Salwa Ben Jemaa : étudiante au doctorat, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Pascale Gagnon : ingénieure développement packaging, Centre de Collaboration Micro-Innovation, IBM Bromont.

Julien Sylvestre : professeur, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Date de soumission : soumis pour approbation à notre partenaire industriel IBM le 02 septembre 2020, et dès que nous recevrons leur confirmation, cet article sera soumis pour publication sans aucune modification.

Revue: Transactions on Components, Packaging and Manufacturing Technology.

Titre français : Développement et Optimisation d'une Nouvelle Technique de Liaison Flip-Chip Utilisant un Assemblage Temporaire par Thermocompression à Basse Température.

Contribution au document :

Cet article contribue à la thèse en répondant au deuxième objectif de ce projet de recherche, à savoir mettre en œuvre une nouvelle méthode d'assemblage TCB afin d'éliminer le besoin des températures élevées et de répondre aux besoins de coût, de performance et de productivité.

Résumé français :

L'assemblage par thermocompression à basse température suscite un intérêt croissant dans l'industrie microélectronique en raison de ses avantages concurrentiels surtout pour l'intégration 3D à pas fins et à haute densité d'interconnexion. Cet assemblage permet des processus d'assemblage sans flux et offre une compatibilité avec des appareils sensibles nécessitant un faible budget thermique. Dans ce travail, un nouveau procédé de liaison par thermocompression à l'état solide, 'BATE' (*Bonding At The End*), est décrit et caractérisé. BATE consiste à créer un joint mécanique temporaire entre la puce et le substrat, avant l'insertion capillaire de l'*underfill*. Les joints métallurgiques sont formés plus tard, à la fin du processus de packaging, lorsque les billes

de brasure BGA sont soudées au substrat. Différentes conditions d'assemblage et de surface ont été évaluées sur les billes de brasure SnAg. Les meilleures brasures à haut rendement ont été obtenues à une température de 200°C, une force de liaison entre 0,25 et 0,36 N/bille et avec un traitement préalable au plasma. L'évaluation des propriétés mécaniques des joints obtenus à travers le procédé BATE, a montré que l'augmentation de la température ou de la force de liaison entraîne une augmentation de la résistance à la traction des joints et crée une interface de liaison uniforme sans vides ni espaces remarquables. Une étude approfondie de la microstructure de l'interface a été menée pour identifier le mécanisme de liaison à l'état solide qui a lieu au cours de l'étape initiale d'assemblage mécanique. Il s'est avéré que le mécanisme dominant pour la formation des liaisons, est la migration des limites de grains interfaciaux induite par une recristallisation dynamique discontinue.

Mots clés : Assemblage à basse température, mécanisme de liaison, migration des limites de grains interfaciaux, recristallisation dynamique.

CHAPITRE 4

Development and Optimization of New Flip-Chip Bonding Technique Using Temporary Low-Temperature Thermocompression Bonding

4.1 Abstract

Low temperature thermocompression bonding has been gaining interest in the microelectronics industry due to its competitive advantages, especially for fine pitch and high-density 3D integration. It can allow fluxless assembly processes and offers compatibility with sensitive devices requiring low thermal budget. In this paper, a novel solid-state thermocompression bonding method, BATE (Bonding At The End), is described and characterized. BATE consists of creating a temporary mechanical joint between the chip and the substrate, before the dispensing of an underfill material. The metallurgical joints are formed later, at the end of the packaging process, when the ball grid array solder balls are soldered to the substrate. Different bonding and surface conditions were evaluated on SnAg solder bumps. Good solder joints with high yield were achieved at a temperature of 200°C, a bonding force between 0.25 and 0.36 N/bump, and with a plasma pretreatment process. The mechanical properties of the temporary BATE solder joints were assessed, revealing that increasing the temperature and force also increased the tensile strength of the joints and created a uniform bonding interface without significant voids or gaps. A detailed microstructural investigation of the interface was conducted to identify the solid-state bonding mechanism during the initial mechanical joining step. The characterizations showed that the dominant mechanism of temporary bond formation was interfacial grain boundaries migration induced by discontinuous dynamic recrystallization.

Index Terms— Low-temperature bonding, interfacial grain boundaries migration, dynamic recrystallization, bonding mechanism.

4.2 Introduction

The Sn-Ag-Cu solder are the mainstream lead-free solder in microelectronic packaging due to their good solderability and reliability. The two main traditional bonding processes for Sn-Ag-Cu solders are the thermocompression bonding (TCB) and the mass reflow (MR) processes. The TCB process has been commonly used as an alternative to the MR process, for instance due to its better performance for fine pitch assemblies [90]. To ensure a complete metallurgical bond, the TCB process is usually carried out at a temperature above the solder melting point (217-221°C). This high bonding temperature may lead to high thermal stress resulting from large temperature gradients, which can cause damage to the bonded devices [91]. A chemical flux is often used during the high temperature TCB to promote solder wetting by preventing surface oxidation. During the bonding process, metallurgical reactions take place and produce intermetallic compounds (IMC) which can embrittle the solder joints as they thicken at high temperature [14] [91][92]. The flux cleaning after the bonding process becomes more difficult at finer pitches and higher bump densities [93]. The residual flux that can remain within the gap between the chip and the substrate can cause underfill adhesion problems [94]. The other most important challenge of TCB processes is their lower throughput, that can be related to the individual processing of chip assemblies with the limited heating rates that are required to attain the melting temperature of the solder while maintaining sufficient temperature uniformity on the whole chip surface [88]. To effectively overcome these drawbacks, it is important to explore alternative bonding methods. Proceeding toward low-temperature solid-state bonding can be an effective alternative method of reducing the extended heating times required during the TCB process and eliminating the need for flux application, which saves time on the assembly line, thereby leading to higher throughput and effectively lower cost. The same strategy can also alleviate the thermal load on sensitive chips, as well as the thermomechanical stress created by the coefficient of thermal expansion (CTE) mismatch between the chip and substrate during higher temperature bonding [15]. Low-temperature solid-state bonding is a class of processes in which the bond between bumps is achieved by solid-state contact, at a temperature below the solder melting point. Several solid-state bonding processes have been developed and reviewed in the literature, including low-temperature TCB [84], thermosonic bonding [80], and ultrasonic bonding [79]. These solid-state bonding processes can circumvent all of the aforementioned problems of conventional TCB. However,

thermosonic and ultrasonic bonding require ultrasonic energy to achieve solid-state diffusion bonding. The high-frequency vibrations can produce defects in the bonding interfaces [95] and mechanical damage to the electronic device [82]. On the other hand, low-temperature TCB is a form of solid-state joining in which the bonding is performed under a large normal force and without ultrasonic vibration. Reference [96] has demonstrated the formation of good Sn-Ag-Cu bumps in ambient air at a bonding temperature of 100°C, bonding pressure of 335 MPa, and processing time of 30 s. The application of a plasma activation process before assembly was also shown to decrease the required bonding force to 200 MPa. These parameters were sufficient to form complete metallurgical bonds with Ag₃Sn intermetallic compounds (IMC) at the bonding interfaces. The high pressure and long assembly time of the low-temperature TCB process of reference [96] might not meet the stringent requirements of high throughput production for high end devices. At this point, it is still an open question whether another solid-state TCB process might allow the much faster assembly of flip-chip packages with a much lower bonding pressure on the chip.

Our research group has developed a method for solid-state thermocompression bonding [86] that is named Bonding At The End (BATE). This method has the potential to reduce the assembly time, eliminate the need for flux, and reduce the thermal budget. An illustration of the process flow is shown in Figure 4.1. First, a temporary mechanical bond is formed between the solder bumps on the chip and the substrate. The joining process is performed in the solid-state at a temperature below the solder melting point (generally, $\leq 200^{\circ}\text{C}$). A suitable force is maintained for a sufficient period of time (≤ 5 s) to plastically deform the solder bumps and create a temporary mechanical attachment. The mechanical bonds are not expected to form perfect electrical connections, but rather to enable assembly handling without displacing the chip. If the assembly is significantly cooled after bonding, residual stresses could form due to the differences in the CTE of the substrate and the silicon chip, thus leading to failure of some temporary joints. The bonded package must therefore be maintained at a high temperature ($\sim 110^{\circ}\text{C}$) until the final step of curing the underfill material (see section 4.6), so that no gaps open in the temporary solder joints, where the underfill resin could infiltrate and prevent a good electrical connection from being formed. After the curing of the capillary underfill material, the solder bumps still do not form a complete metallurgical joint. To complete the module assembly, BGA (ball grid array) solder balls are attached to the substrate

using a conventional reflow process. During that reflow, the metallurgical bonds between the die and the substrate solder bumps are formed at the same time as the BGA solder balls, hence the proposed name for this assembly process.

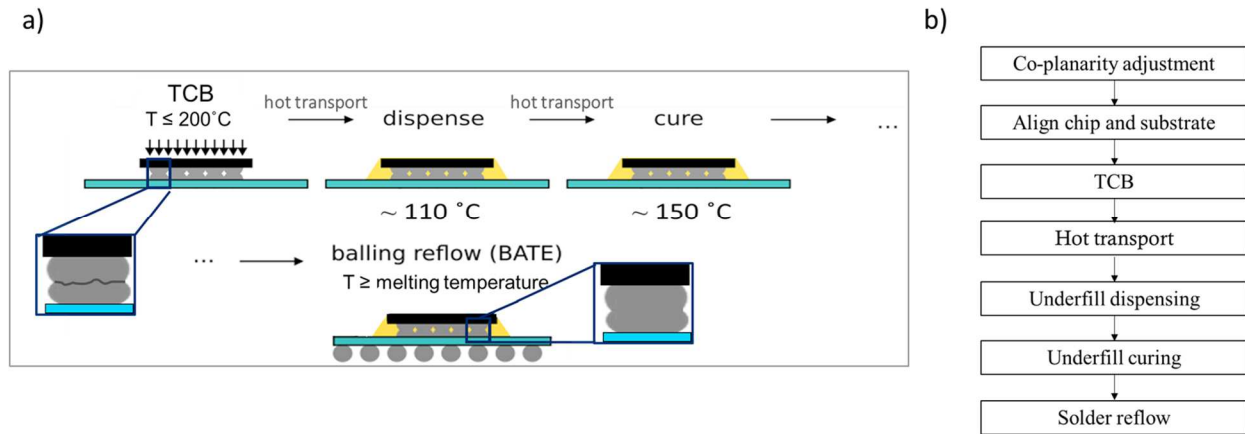


Figure 4.1 a) schematic of the process, b) flow chart of the BATE assembly method.

Compared with the conventional flip-chip process, the elimination of the flux application, chip reflow and post-reflow cleaning steps represent the most drastic changes, improving significantly the overall efficiency of the assembly process. As the temperature to form the temporary bonds can be lower compared to conventional thermocompression bonding, the BATE process can thus lower some of the risks for mechanically or thermally sensitive devices. Moreover, it provides much better throughput than conventional TCB, as it does not require as much time to reach the process temperatures. One limitation of the BATE process is the temporary transfer of the bonding assemblies at a temperature of $\sim 110^\circ\text{C}$, which requires a tighter integration of the capillary underfilling process with the temporary chip bonding process. In addition, high bonding forces (but much lower than that used in the reference [96], approximately between 44 and 64 Mpa) might require high-force TCB tooling that is not currently broadly available from multiple vendors. Nevertheless, the consumable costs of the BATE process are relatively low, as the required costs of the TCB tool and the used of warm conveyors are lower than the combined cost of the flux application, chip placement, reflow oven and cleaning capacity (compared to MR).

The BATE process has several parameters that have a significant impact on the quality of the temporary solder joints, such as temperature, force, and surface condition. The optimization of

these parameters could be achieved by gaining a thorough understanding of the physical processes leading to the formation of the temporary mechanical bonds in lead-free solder. In this study, an investigation of the BATE process was conducted, from the temporary mechanical bond to the final BGA reflow process. After describing the test vehicle, the assembly process, and the experimental characterization methods (section 4.3), we start with a study of the temporary mechanical bonding mechanism by evaluating the resulting mechanical properties and microstructure evolution (section 4.4). An investigation of the driving mechanism for temporary bond formation was also conducted using electron backscatter diffraction (EBSD) in a scanning electron microscope (SEM), resulting in an understanding of the driving mechanism of bond formation, which can ultimately drive the optimization of process parameters (section 4.5) for ultimately obtaining sound metallurgical bonds at high yield (section 4.6).

4.3 Materials and Experimental Procedures

4.3.1 Test Vehicles

A first mechanical test vehicle (TV1) was used for the BATE assembly optimization and characterization experiments. TV1 comprised an organic laminate substrate and an interposer that was used as a passive silicon chip containing ordinary Controlled Collapse Chip Connection (C4) solder bumps. The conceptual structure of the TV1 is illustrated in Figure 4.2. Only the underside of the interposer was exposed to be mounted on the substrate. The top side of the interposer was attached to a temporary glass carrier with a thickness of 0.67 mm for handling (the total thickness with the interposer is 0.8 mm). This glass carrier could be removed later after finishing the overall bonding process to integrate multi-chip on its top side through 3D stacking, but it was kept in place for all experiments reported in this paper. Our experiments were restricted to the lower level of the 3D stack, where the interposer is bonded to the substrate. The interposer chip contained 1350 interconnects spread with a pitch of 130 μm over the whole an area of 8.7 mm \times 6.6 mm. The interposer chip was mounted on a substrate with dimensions of 31 mm \times 31 mm \times 1.256 mm through Sn-1.4% Ag solder bumps with a height of 60 μm and a pad diameter of 85 μm . The substrate contained matching Sn-3% Ag-0.5% Cu solder pads with a height of 31 μm and a diameter of 85 μm . The substrate had 2 core layers with 4 build-up layers on each side. The electrical continuity tests were performed on a second test vehicle (TV2) comprising a full Si chip

(without a glass carrier) which was assembled on an organic substrate. TV2 contained 436 bumps of 62 μm height distributed on a 185 μm pitch over a die size of 4.2 mm \times 4.2 mm \times 0.787 mm. The chip was manufactured with a 32 nm technology. The diameter, height, and materials of the solder bump and pad were the same as the TV1. The planar dimensions of the organic substrates were 55 mm \times 55 mm, and a total thickness of 0.85 mm (2 core layers with 3 build-up layers on each side). The substrate pads had a diameter of 85 μm . The interconnections of both test vehicles were plated on top of a 10 μm -thick Cu pedestal (base).

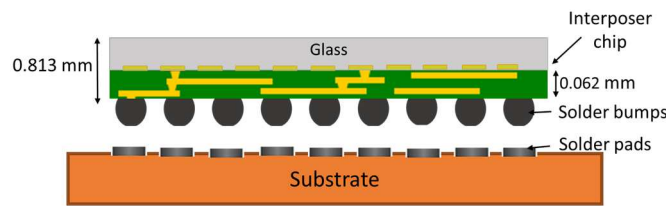


Figure 4.2 schematic drawing of the test vehicle TV1 (not to scale).

4.3.2 Experimental Procedures

4.3.2.1 BATE Process Overview

A plasma pretreatment process was applied on some of the samples to remove the native oxide layer from the surface of the bumps and to evaluate its effect on the formation of temporary bonds. The plasma cleaning was applied on the surfaces of the chips and substrates prior to the bonding process. The operating conditions of the plasma activation process were adopted from a previous study [51]. The chips and substrates were sent into an Ar/H₂ plasma chamber at a gas pressure of 650 mTorr for 120 s. The maximum duration between plasma pretreatment and the assembly process was 2 hours.

Figure 4.1.b shows the flow chart of the BATE assembly method. All the samples were bonded in stagnant air using a TORAY-FC3000WS bonder. Before starting the BATE process, it was often required to perform automatic co-planarity adjustments between the bonding head and the stage to avoid any deviation that could cause open or poor connections. Once the co-planarity was adjusted, the die was picked by a head at 60°C and aligned to the substrate bond pads. The bonding process started with the substrate being held by a heated stage at a temperature of 100°C. The flipped chip was then brought into contact with the substrate pads. At this moment, the bonding force was

rapidly applied to the chip, followed by heating up to the target setting temperature over a period of 1 s (heating rates between 40 and 140°C/s depending on the setting temperature). The bonding dwell time, which is defined as the time lapse between the end of heating and the start of cooling, was 4.5 s. The bonding force was maintained constant until the end of the dwell time, when it was rapidly removed. The process variables during the bonding operation were the target setting temperature and the force. The setting temperature was varied between 100, 150 and 200°C, and the force between 250, 270, 340, 400, and 480 N, for TV1. It should be noted that these settings refer to the temperature of the TCB head and that the temperature at the solder joint should generally be lower depending on the thermal conductivity characteristics of the materials (nozzle, chip, heater block). The temperature of the solder joints is, however, necessary to confirm the actual temperature needed in the surface and it will be provided in a future work. Since the two-vehicle tests did not contain the same number of C4, the adjustment setting forces for TV1 and TV2 were adapted to 0.18, 0.2, 0.25, 0.3, and 0.36 N/bump and a main pressure on the bumps of about 31, 35, 44, 53, and 63 MPa. Part of the work was devoted to the optimization of the BATE process after the temporary assembly step (i.e. validation of the need to maintaining the temporarily assembled samples warm until the hardening of the underfill). For this reason, part of assembled samples was cooled to the room temperature during 0.5 s without force. The complete TCB cycle therefore required only 6 s in total.

After the assembly process, the samples (TV1) were transported to an underfill dispense tool while their temperature was maintained above 110°C. The underfill material was then applied through capillary action to fill the gap between the substrates and the bonded dies. It was also cured at 150°C in an oven for 3 h. The cured underfill provided reinforcement to the package and allowed a reduction of the thermal stress caused by the CTE mismatch between the chip and the substrate. Finally, the BGA solder balls were attached on the backside of the substrate to connect the package. The BGA attach process consisted of first printing the flux onto the laminate pad array and using a ball drop stencil to place the solder balls. After removing the stencil, the package was sent to the reflow soldering oven (Heller 1914 MKIII) at a maximum reflow temperature of 245°C. The temporarily joined first-level solder bumps were all completely remelted at the end of the packaging process during the BGA reflow process.

4.3.2.2 Bond Characterization

To evaluate the strength of the temporary bond after the solid-state bonding (before underfill and final reflow), some of the assembled samples were subjected to a tensile test. The tensile tests were carried out using an Instron 8874 universal machine at a crosshead speed of 0.5 mm/min. To obtain the average tensile strength, three repeated tensile tests were conducted for each bonding condition. To perform the microstructural characterization, optical micrographs of the cross-sections of the samples were obtained. These cross-sections were made by cutting the sample and mounting it into a circular epoxy resin mold 30 mm in diameter. Polishing was then performed to reveal the targeted C4 with the finest 1 μm diamond paste. The cross-sectional microstructure analyses were performed on samples bonded under two extreme bonding forces (0.18 N/bump and 0.36 N/bump).

Several techniques were also used to characterize the microstructure and develop a comprehensive understanding of the temporary bonding mechanism. Analysis of the bonding interface was done using micrographs captured by a scanning electron microscope (SEM: Zeiss LEO 1540 XB) operated at an acceleration voltage of 20 kV with a magnification from 700X to 6000X. The microstructure and texture evolution of the joints were investigated by the electron back-scatter diffraction technique (EBSD: JSM 6400f). EBSD images were obtained using an accelerating voltage of 20 kV, a working distance of 18 mm, and a step size of 1 μm . The HKL channel 5 software was used to perform the EBSD data acquisition and analysis. The manner in which the EBSD software calculates the internal average misorientation angles is described in [97]. X-ray energy dispersive spectroscopy (EDS: Hitachi S-4700) analyses, using the same acceleration voltage as SEM with an emission current of 10 to 11 μA , were carried out to evaluate the element compounds at the bonding interface. The EDS analysis results, included spot, line, and area maps of elements, were reported in atomic weight percentage. The electrical resistance measurements between a total of 131 two-port simple daisy chains were conducted on the TV2 samples using a four-point probe (Keithley 2700 multimeter).

4.4 Investigation of the Temporary Joints

The effect of bonding temperature and force on the tensile strength of the joints is shown in Figure 4.3. The results showed that the average bond strength was increased by increasing both force and temperature. As a general comparison, the military standards MIL-STD-883H method 2031.1 requires a tensile strength higher than 0.04 N/bump. For the BATE process, the minimum tensile

strength had to be determined as the strength required for the temporary joints to hold until the underfill was applied and cured, without underfill resin infiltration between the chip and substrate solder bumps. Figure 4.4 shows the cross-sectional SEM observation of the temporary bonding interface for various samples bonded under different conditions, all without plasma treatment. When joined at a low bonding force (0.18 N/bump), a large unbonded region was found at the bonding interface, and only few contact areas were observed at all tested temperatures (Figure 4.4.e-g). These observations were quite consistent with the results of the tensile test, where the pull force was near zero at 100°C, and very weak at 150°C and 200°C (Figure 4.3). This means that the bonding force of 0.18 N/bump was not high enough to eliminate gaps within the interfaces and form a sufficiently good temporary bond. Increasing the bonding force from 0.18 N/bump to 0.36 N/bump decreased the gaps between the attached solder bumps (Figure 4.4). As a result, the average tensile strength increased considerably up to 0.08 N/bump (at 200°C).

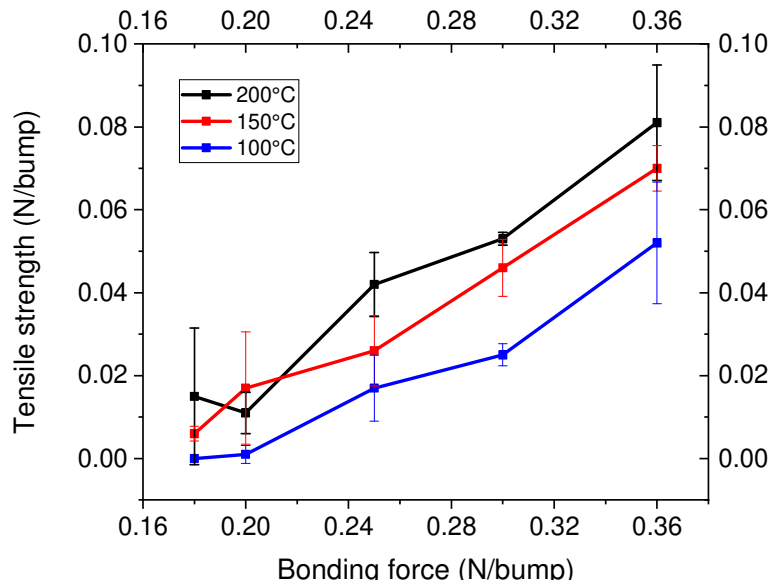


Figure 4.3 Effect of bonding temperature and force on the tensile strength. Error bars indicate the range of values obtained over 3 different measurements.

As the bonding force increased, the plastic deformation in the solder bumps increased as well, which enhanced the contact area between the mating surfaces. Moreover, it was observed that the increase in temperature from 100 to 200°C, at the same bonding force of 0.36 N/bump, resulted in smaller voids and a uniform bonding interface without large gaps. A well-bonded temporary interface without any underfill infiltration could thus be obtained under higher bonding force and

temperature. To relate the tensile force measurements to a quantitative characterization of the interfaces, the effect of bonding parameters on the Interfacial Bond Ratio (IBR), as well as the tensile strength, were plotted in Figure 4.5. The IBR was defined as the ratio of the length of the void-free interface to the length of the whole interface. It can be seen from Figure 4.5 that increasing the bonding temperature from 100°C to 200°C, at a high bonding force (0.36 N/bump), increased the IBR up to 64.3%, while at a low bonding force (0.18 N/bump), the IBR could only be increased to 14.6% at 200°C, indicating insufficient bonding at the interface.

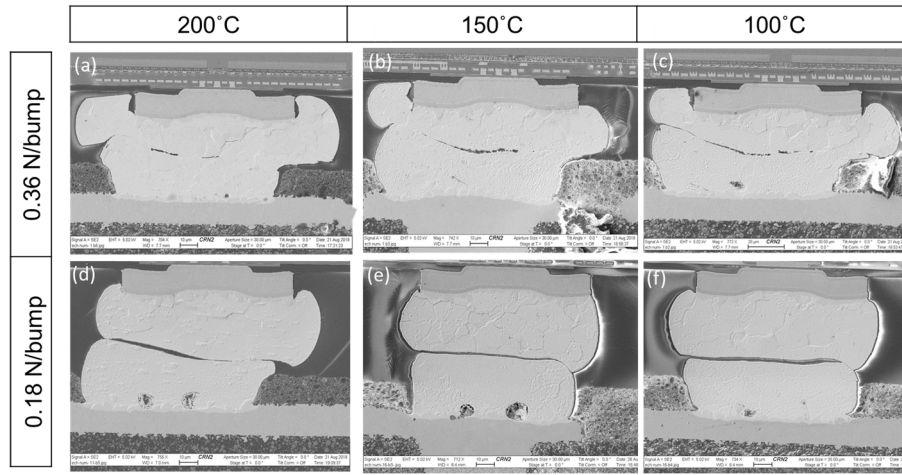


Figure 4.4 Cross-sectional SEM micrographs for samples assembled under different bonding conditions: a), b) and c) at 0.36 N/bump, and e), f), g) at 0.18 N/bump for 200, 150, and 100°C, respectively.

Figure 4.5 also shows that the tensile strength follows a similar trend than the IBR. The increase in temperature and force were both important for eliminating large voids at the bonding interfaces, thus increasing the IBR and the bond strength. To eliminate macroscopic void formation at the interface, to achieve a high tensile strength for the temporary joints and thus prevent the infiltration of underfill between the chip and substrate solder bumps. Higher bonding force was undesirable as it could compress the solder joints too much, which could cause electrical shorts between adjacent solder joints. Moreover, the bonding temperature was kept $\leq 200^\circ\text{C}$, to eliminate undesirable phase transformations that would occur during higher-temperature bonding [41].

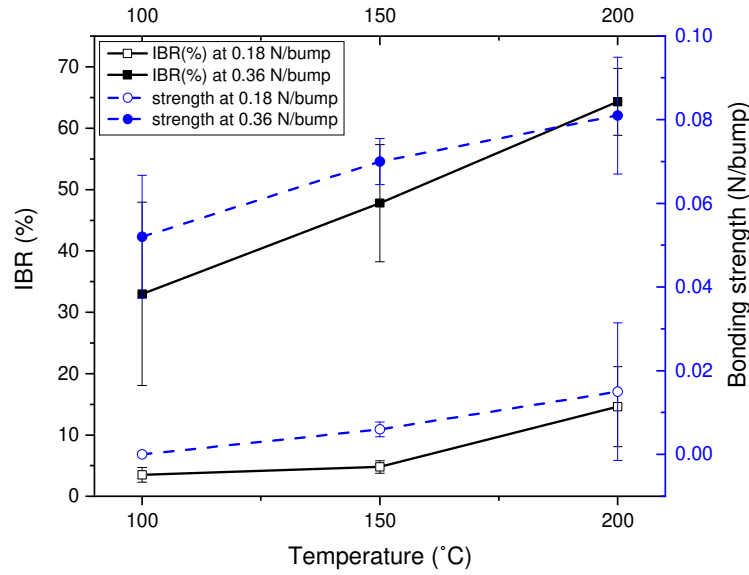


Figure 4.5 Effect of bonding parameters on IBR and tensile strength for the samples bonded. IBR show averages of bond ratios measurements on 5 random joints located along the cross-sectioned sample. Error bars indicate the range of values obtained.

4.5 Bonding Mechanism

Temporary bonding in the BATE process is performed in the solid-state. Each solid-state joining technique (e.g. diffusion bonding, thermocompression, thermosonic bonding or ultrasonic bonding) differs in its detailed implementation, but all techniques share common joining mechanisms [98]. The literature suggests that one or more of the following four mechanisms can contribute to the formation of bonds in the solid-state: (a) plastic deformation, (b) oxide layer removal, (c) dynamic recrystallization (DRX), and (d) diffusion (involving an interfacial chemical reaction layer). The temporary joining mechanisms in the BATE process was studied in terms of these four mechanisms.

4.5.1 Dynamic Recrystallization Mechanism

Dynamic recrystallization (DRX) can take place during the solid-state assembly of a wide range of metals and alloys when subjected to plastic deformation coupled with exposure to a moderate temperature (below the absolute melting point) [99]. It appears in the form of new fine equiaxed grains nucleated along the grain boundaries due to the generation, movement and interaction of dislocations [100]. Investigations of the solid-state joining of different alloys have shown that DRX

can play a significant role in the formation of sound bonds [101][102][103][104]. These bonds have been revealed to occur through the following sequential stages [103][104]: the breaking down of the oxides and impurities, the reduction of the interfacial voids, the displacement of grain boundaries across the interface, and the development of new fine grains that replace the original strained grain structures on both sides of the interface. Promoting DRX at the bonding interfaces during the BATE process can be an important practical factor to improve the mechanical strength of the temporary joints.

Several research groups have reported the observation of DRX in lead-free solder interconnections under different dynamic loading conditions, such as thermal cycling, drop tests, and shock loading [105][106]. DRX has been observed in 95.5Sn-3.9Ag-0.6Cu (wt.%) solder alloy during compressive tests at 125°C and 160°C [107]. It has been further observed, at room temperature, in Sn-0.5Cu (wt.%) solder alloy during a rolling process [108]. According to the literature, there are two possible mechanisms for DRX during deformation: rotational type or continuous dynamic recrystallization (CDRX), and migrational type or discontinuous dynamic recrystallization (DDRX) [109]. The CDRX process starts with the generation and accumulation of dislocations at some locations. The subsequent rearrangement of dislocations forms cellular structures, which are regions of low dislocation density surrounded by high-density dislocation walls. To lower the stored energy, some of the dislocations within the cells annihilate each other (annihilation of dislocations of opposite signs), while the cell walls evolve into more defined low angle grain boundaries (LAGB), thus forming subgrains. The subgrains are gradually formed as the misorientations between cells increase due to the accumulation of dislocations. The subgrain structure formation is commonly explained as a dynamic recovery process. The rotation of these subgrains involves an increase in the misorientation across the subgrain boundaries due to the continuous accumulation of dislocations there. These rotations lead eventually to the formation of new fine equiaxed grains separated by high angle grain boundaries (HAGB). In contrast, DDRX occurs by the serration and local migration of the pre-existing HAGB grains along the original bonding interface (bulging of the grain boundaries with minimal grain deformation). DDRX is driven by the reduction of grain boundary energy and of the strain energy stored inside the grains. For DDRX operating at an interface, the interfacial grain boundaries migrate from one side of the interface, having low dislocation density, toward the opposite side having high dislocation density

[110]. Two types of interfacial grain boundary migration (IGBM), associated to the DDRX mechanism, can generally occur. The first type is the migration at a triple junction, in which an original grain boundary junction (T-shaped) formed by the intersection of three grain boundaries, is deformed into a Y-shaped triple junctions, with the angles between grain boundaries evolving toward 120° (Figure 4.6.a) [111][112]. In the second type of IGBM, an initially flat boundary is deformed as a growing spherical cap (Figure 4.6.b) [110].

Both mechanisms of DRX (CDRX and DDRX) have been investigated in various materials and alloys subjected to different forms of solid-state bonding, such as ultrasonic bonding [113][114][115], roll bonding [101], and hot compression bonding [110][116][117]. References [113][114] and [110][116][117] have shown supporting evidence that the DDRX, which is characterized by the IGBM, was the dominant bonding mechanism. In these reports, the interface boundaries and the internal defects were gradually eliminated by the nucleation and growth of the interfacial grains via migration of grain boundaries, which gradually merged the previously separated interfaces into one. References [115] and [101] have obtained good joints produced through solid-state bonding processes using ultrasonic and roll bonding, in which well-bonded interfaces were formed by grains refinement controlled by a CDRX mechanism without any diffusion or intermetallic formation. In these bonding methods, the CDRX process occurred on both sides of the interface, forming fine recrystallized grains that replaced the original grains until the complete disappearance of the original interface. While there are some differences regarding the procedure followed in these various assembly methods, the same underlying bonding mechanism was active in all of them. DRX is thus of great importance to different practical applications, for its ability to assemble different materials in the solid-state. The occurrence of DRX at the bonding interface during solid-state bonding, whether as CDRX or DDRX, is often related to the bonding parameters such as temperature, pressure, and time [100]. One way to determine if CDRX or DDRX occurs in the BATE process is to consider the evolution of texture, grains shape, and grain misorientation after bonding.

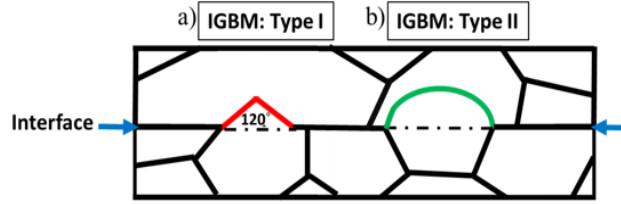


Figure 4.6 Geometry defining types of IGBM: a) triple junction (red), b) strain-induced interface grain boundary migration (green). Dashed lines represent the original interfacial grain boundary.

EBSID imaging was thus performed on the same TV1 samples that were characterized previously in section 4.4, to study the DRX behavior of Sn-Ag-Cu solder joints during the BATE process. The DRX distribution maps extracted from the EBSD data are presented in Figure 4.7.a. The corresponding fraction of recrystallized, substructured and deformed grains are shown in Figure 4.7.b and c. The recrystallized, substructured and deformed grains were identified using the grain reconstruction function of the HKL software, based on the measurement of the misorientation angle between adjacent pixels. A minimum misorientation angle of 2° was chosen to define separate subgrain boundaries, while a minimum of 15° was used to define grain boundaries. Closed connected regions defined by subgrain or grain boundaries were called subgrains or grains, respectively. First, if the internal average misorientation angle over all pixels in a grain was higher than 2° , the grain was classified as “deformed”. Deformed grains were interpreted as regions where the material had undergone significant plastic deformation. Otherwise, if the internal average misorientation angle in a grain was lower than 2° , and the misorientation angle between any two adjacent pixels in the same grain was between 2° and 15° , the grain was defined as “substructured”), These substructured grains were interpreted as regions where the material had undergone dynamic recovery (re-organization of dislocation) during deformation. All the remaining grains were classified as “strain-free” (undeformed grains).

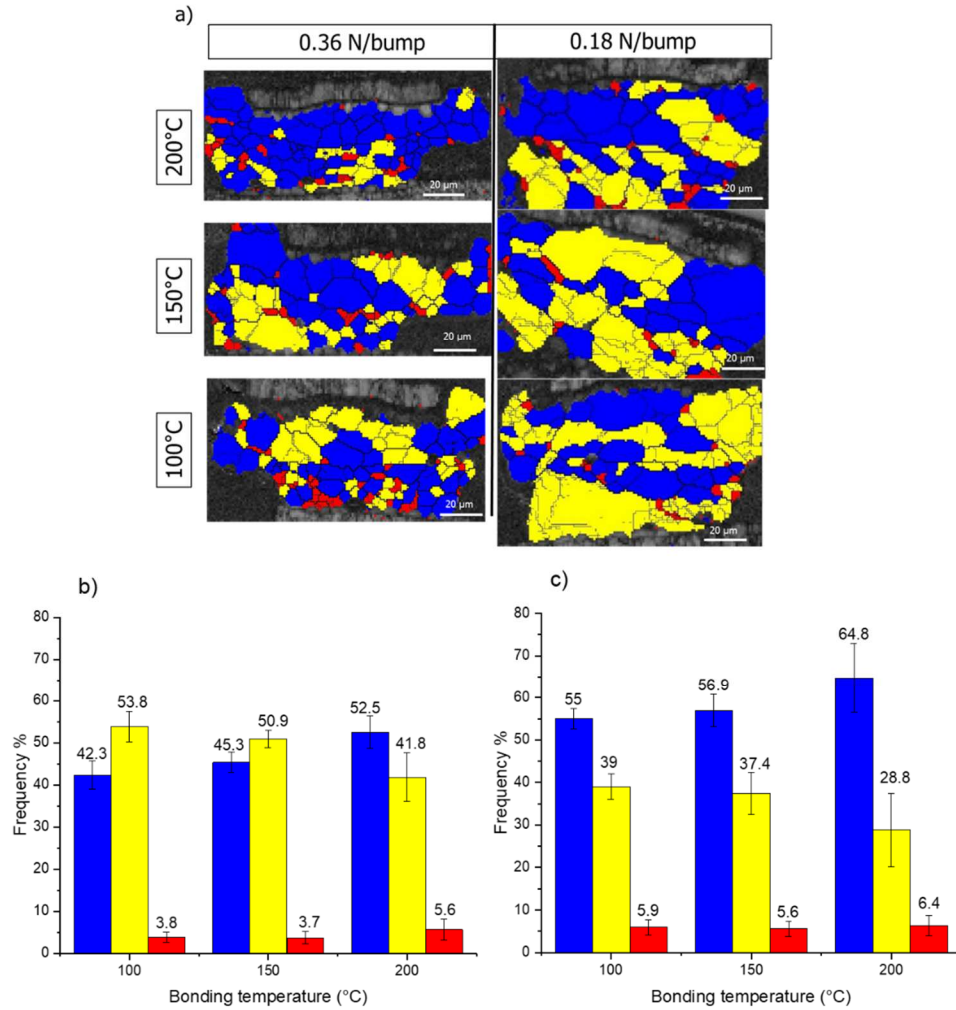


Figure 4.7 a) DRX distribution maps of the tested samples (TV1) characterized previously in figure 4.4 (section 4.4), blue color denotes strain-free grains, yellow color denotes substructured grains, red color denotes deformed grains. In the images, black and grey lines identify the high angle grain boundaries ($>15^\circ$) and low angle grain boundaries ($2-15^\circ$), respectively. b) and c) show distributions of recrystallized, substructured, and deformed fractions for 0.18 N/bump and 0.36 N/bump, respectively. Columns show averages of frequency measurements on 5 random joints. The error bars indicate the range of the frequency values obtained over 5 different measurements.

As illustrated in Figure 4.7, a high fraction of strain-free and substructured grains could be observed in all tested samples, whereas the fraction of deformed grains did not exceed 6%. This indicates that the solder microstructure has evolved under competition between recovery and recrystallization, replacing the original deformed grains which contained a large number of dislocations with a new set of non-deformed grains. A large amount of substructured grains regions showing an elongated morphology was formed at lower bonding conditions (0.18 N/bump, 100°C

and 150°C) (Figure 4.7.a). The fraction of substructured grains underwent a progressive reduction until about 29%, as the temperature and force were increased, thus leading to the formation of an essentially newly dynamically recrystallized structure (65% at 200°C and 0.36 N/bump) with a high fraction of new strain-free grains. Since the number of grains is greatly reduced from the initial conditions with the application of large force or high temperature, this indicated that the temporary bonding in the BATE process was mainly accomplished by a dynamic recovery mechanism. Indeed, the dynamic recovery process developed pronounced substructures within the original grains and progressively created new grains as the temperature and force increased. It is also worth noting that all deformed regions were small and randomly distributed. Few deformed grains were observed, indicating that deformed grains have been nearly all recrystallized during the temporary bonding process.

To develop a better understanding of the DRX mechanism, it was necessary to quantitatively investigate the distribution of LAGB and HAGB. Figure 4.8 shows the inverse pole figures (IPF) maps representing the crystallographic orientation for the same samples as those characterized in Figure 4.7. In a similar way as Figure 4.7, large elongated grains, containing mainly LAGB, could be observed in the samples subjected to a low bonding force (0.18 N/bump) (Figure 4.8.d-f). Although some fine equiaxed grains defined by HAGB were visible near the bonding interface at temperatures of 100°C and 150°C, the microstructure consisted mainly of large elongated grains that were characteristic of the initial microstructure (prior to bonding). We conclude that DRX was only weakly active, near the bonding interface, at lower bonding forces and temperatures. As the force was increased from 0.18 N/bump to 0.36 N/bump, the characteristics of the microstructure changed significantly, and the elongated grains were gradually replaced by more refined grains delimited by HAGB at all tested temperatures (Figure 4.8.a-c).

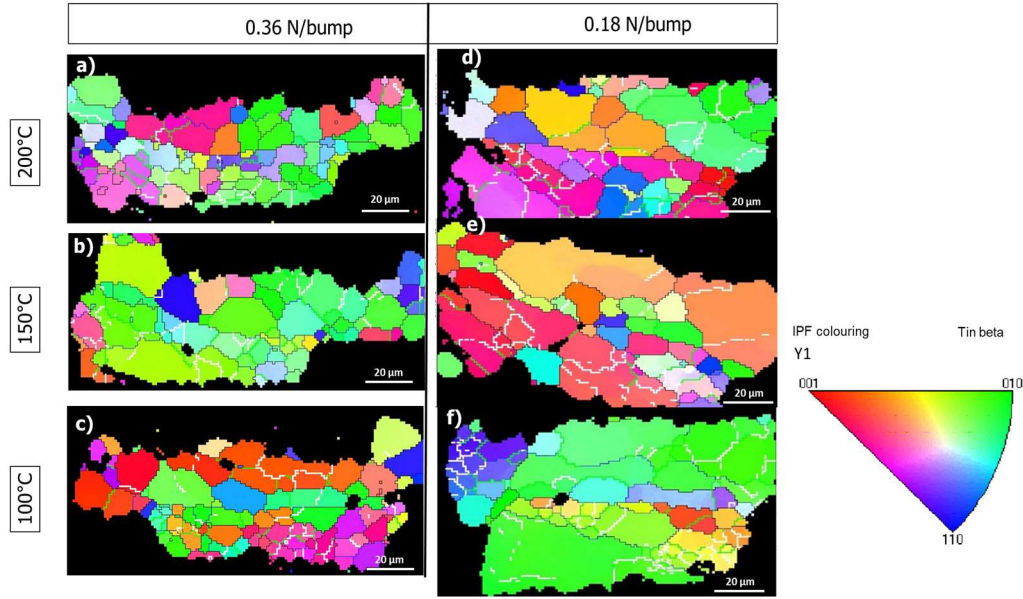


Figure 4.8 The inverse pole figure (IPF) maps, where each color coded according to the crystallographic orientation given in the stereographic triangle. Lines indicate various boundaries; Black lines indicate a misorientation angle at the grain boundary larger than 15°, corresponding to our definition of HAGB. White, and green lines indicate LAGB with a misorientation angle between 2° and 5°, and between 5° and 10°, respectively.

For further quantitative analysis, the evolution of the distribution of grain boundaries with different misorientation angles is shown in Figure 4.9. The fractions of LAGB and HAGB, shown in Figure 4.9, were determined from the distributions of angles (such as histograms) of the misorientation data between adjacent pixels (in the misorientation range 1–100°) in the areas processed by EBSD. The fraction of HAGB, f_{HAGB} , was calculated as:

$$f_{HAGB} = \frac{N_{HAGB}}{N_{HAGB} + N_{LAGB}}, \quad (1)$$

where N_{HAGB} is the frequency of pixels having misorientation angles higher than 15° relative to their adjacent pixels (neighbor-pair), and N_{LAGB} is the frequency of pixels having misorientation angles between 2° and 15° relative to their adjacent pixels. The fraction of LAGB was reciprocally calculated as the ratio of N_{LAGB} to the total ($N_{HAGB} + N_{LAGB}$). Overall, the distribution of misorientation angles varied widely with bonding force and temperature. As shown in Figure 4.9.a, the samples bonded at 200°C and 0.18 N/bump contained mainly HAGB with a frequency of about 57%. As the temperature was decreased to 150°C and 100°C, the proportion of HAGB decreased

to 39% and 38%, respectively, such that the fraction of LAGB showed a relative increase compared to 200°C. The same observation was reported for the samples bonded at the higher bonding force (0.36 N/bump) (Figure 4.9.b). As shown in Figure 4.9.b, there was no significant difference in the distribution of misorientation angles between 150°C and 100°C. As the temperature was increased to 200°C, the proportion of HAGB increased to 69% compared to 42% and 49% for 100°C and 150°C, respectively. Furthermore, an increase in force from 0.18 to 0.36 N/bump at 200°C produced a slight decrease in the LAGB and increase in the HAGB fractions of approximately 12%. It was therefore evident that, by increasing both temperature and force, the proportion of subgrains with low misorientations decreased to make way to new grains increasingly encompassed by HAGB, which clearly demonstrates the occurrence of the CDRX mechanism (DDRX, which operates through the local bulging of initial grain boundaries, does not change much the relative ratio of LAGB and HAGB).

The EBSD data indicated that the final microstructure was different depending on the amount of bonding force and temperature. At relatively low bonding conditions, the BATE process mainly proceeded through a dynamic recovery process, where the dislocations were accumulated and rearranged into cellular substructures to form subgrains enclosed by LAGB. By increasing the bonding conditions up to 200°C and 0.36 N/bump, these subgrains could further be rotated, through a CDRX mechanism, to ultimately form new fine recrystallized grains separated by HAGB.; Hence, our interpretation is that, at low bonding conditions, where the recovery process dominated, the tensile strength was low, while when higher bonding conditions were applied, the DRX mechanism dominated. This suggests that DRX has resulted in improved bonding interface and thus a significant increase in tensile strength. The experimentally observed coincidental increase in the tensile strength and in the relative amount of small equiaxed grains separated by HAGB (at the expense of substructured grains) suggests that the dynamically recrystallized grains, controlled

by the CDRX mechanism, are responsible for the mechanical strength of the temporary BATE joints.

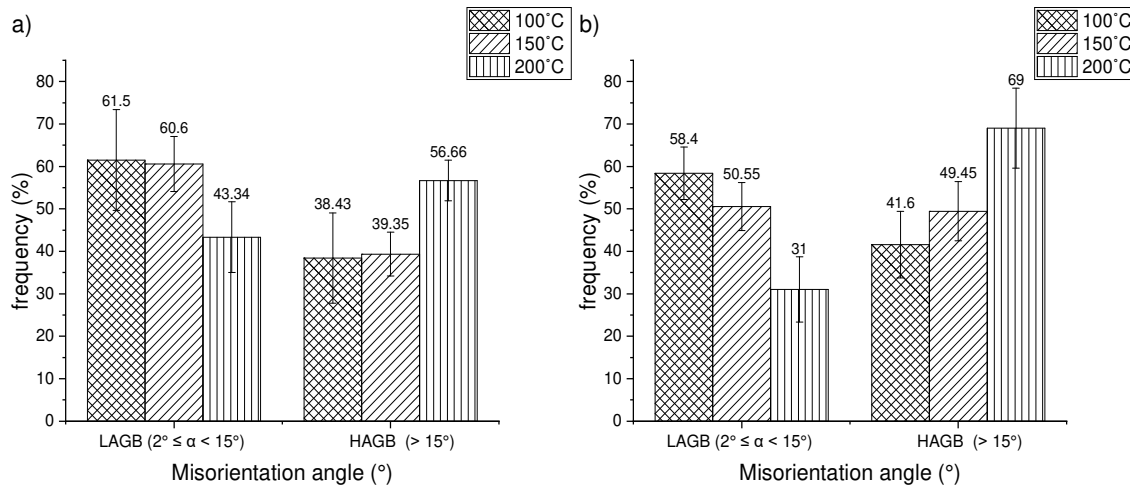


Figure 4.9 Distribution of misorientation angles measured between adjacent pixels for the samples bonded at: a) 0.18 N/bump, b) 0.36 N/bump. Columns show averages of frequency measurements on 5 random joints. The error bars indicate the range of the frequency values obtained over 5 different measurements.

In order to physically associate the presence of finer recrystallized grains with HAGB to the strength of the mechanical bonding mechanism at the interface, cross-sectional SEM micrographs of interfacial zones in the same samples as those characterized by EBSD in the previous paragraph (under the same assembly conditions) were acquired (Figure 4.10). A straight interface with some voids was clearly apparent when joining at 150°C and 100°C under low bonding force (0.18 N/bump). As the force was increased to 0.36 N/bump, the SEM observations revealed a phenomenon of interfacial grain boundaries migration (IGBM), which we defined above as a DDRX mechanism. It was obvious from the data that the original interfaces could evolve, and the migration of grain boundaries along the interfaces could be clearly observed.

An IGBM ratio was calculated as the ratio of the length of the grain boundaries that have migrated across the bonding interface (as indicated in Figure 4.6 by red and green lines) to the total length of the observed interface line, which includes both the undeformed portions of the interface and the migrated grain boundaries. Its average value was calculated for five randomly selected solder joints distributed across a sample bonded under each condition. Figure 4.11 presents the quantitative results of the IGBM ratio. Its also displays the measurements of tensile strength (Figure

4.3) for comparison. It can be seen that, the tensile strength increased accordingly with the IGBM ratio. Moreover, the increase in temperature and force promoted the migration of grain boundaries across the interfaces. At low bonding conditions (0.18 N / bump at 100°C and 150°C), the IGBM ratios were almost negligible, as was the tensile strength. When the temperature increased to 200°C, they gradually increased to 13% and 0.015 N/bump. The tensile strength increased much more to attain 0.081 N/bump when the IGBM ratio reached 42.8%. These results indicate that the IGBM has a significant influence on the temporary bonding process. We posit that this coincidental increase of the tensile strength and of the IGBM ratio can be physically explained by an increase in the interlocking of the two surfaces during bonding through the interfacial migration of grains.

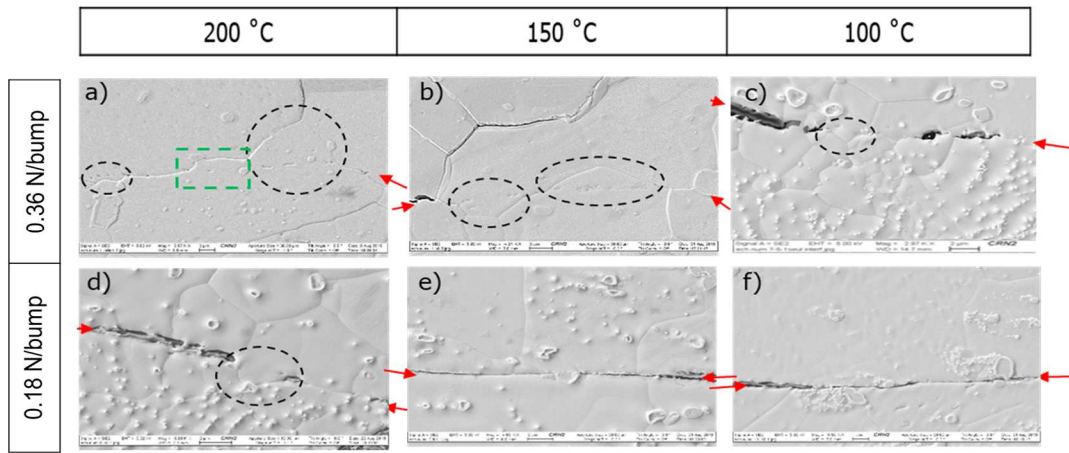


Figure 4.10 Examples of SEM characterization at the bonding interface under various bonding conditions. The red arrows highlight the position of the original bonding interface. Regions of interface grain boundary migration at triple junctions are marked by black circles. A region of strain-induced interface grain boundary migration is marked by a green rectangle.

There was, in conclusion, some evidence that demonstrated the occurrence of dynamic recrystallization through two mechanisms: DDRX (characterized by grain boundaries migration) and CDRX (characterized by the transformation of the LAGB into HAGB). However, the real mechanism at the bonding interface that caused the formation of a temporary mechanical joint was DDRX through grain boundary migration. Indeed, the nucleation of subgrains and new grains through CDRX could introduce a significant increase in the number of grain boundaries at the interface which are available to migrate across the bonding interface, thus leading to stronger temporary interfacial bonds with a higher tensile strength. A similar interpretation has been proposed in a diffusion bonding process using two kinds of stainless steel surface finishes, in which

the two types of IGBM (triple junctions and strain-induced interface grain boundary migration) have been observed depending on the surface finish used [111]. A similar behavior of a DRX nucleation and IGBM was also observed during the nickel-based alloy hot compression bonding [117]. The study of Zhang et al. [110] showed that, during copper hot compression bonding, the migration of interfacial grains at triple junctions becomes more frequent when more refined grains nucleated at the bonding interface. It has been also shown by Zhang et al. that the fine grains generated at the interfaces tend to bond more easily and completely at a higher density of migrated grains at triple junctions.

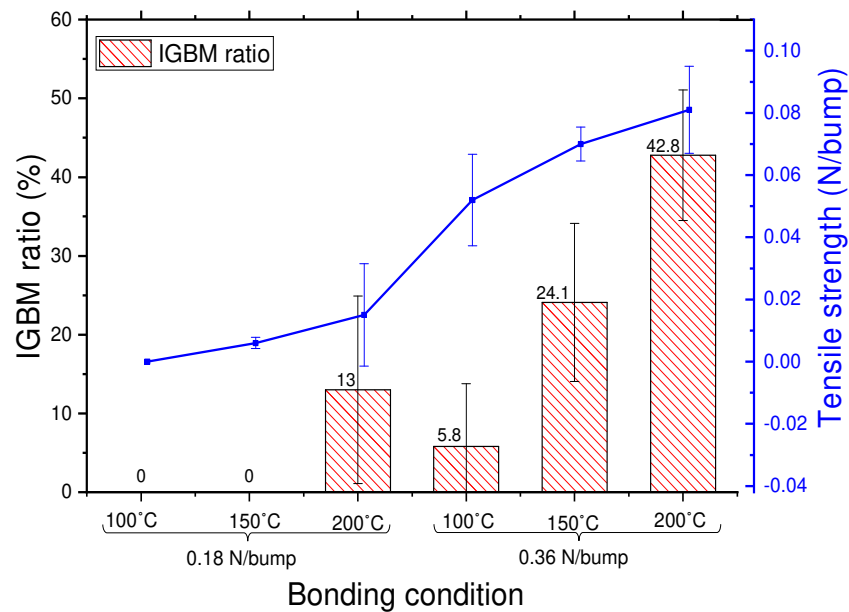


Figure 4.11 Quantitative results of IGBM ratio (left axis). Columns show averages of ratios measurements on 5 random joints, error bars indicate the range of values obtained over these 5 different measurements. The blue line linking the tensile strength data is a guide to the eye.

4.5.2 Plastic Deformation and Oxide Layer Removal

Lead-free solder alloys oxidize easily [77][118]. The presence of an oxide film obstructs interfacial physical contact and impedes the formation of metallic bonds [119]. Figure 4.12 shows an EDS line scan across the solder joint interface of a sample bonded at 0.36 N/bump under a temperature of 200 °C. The signals of the tin, silver, copper, and oxygen were reported in the same figure. The EDS scan confirmed the presence of discontinuous oxides layers on the upper and lower solder interfaces, with a total thickness of 0.4 μm , which prevented a direct contact between the

unoxidized solder material. The blue dashed lines in Figure 4.12 delineate the two oxide layers, and were used to measure the thickness of the two oxide layers.

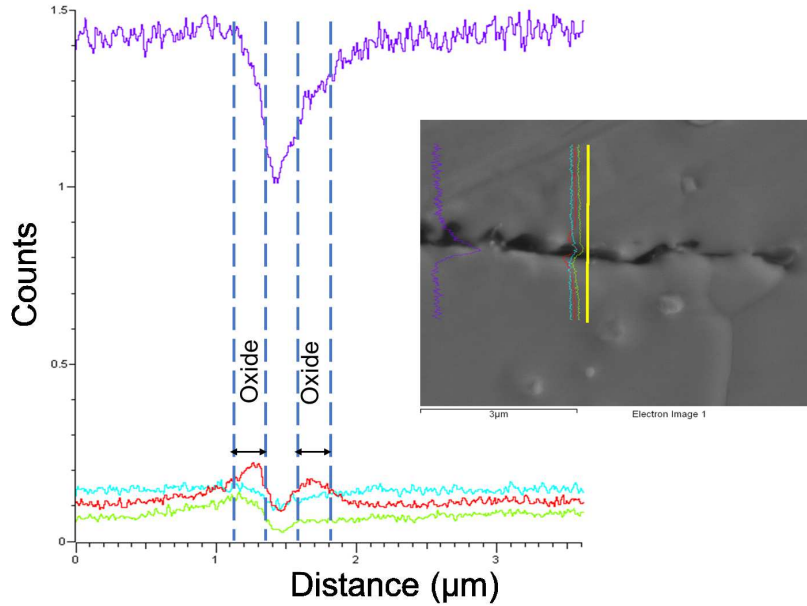


Figure 4.12 EDS interface examination of a joint bonded at 200°C and 0.36 N/bump, showing a double layer of oxide, identified by the oxygen intensity (red line). Tin, silver, and copper intensities are reported by purple, blue, and green lines, respectively. The Y-axis depicts the number of X-rays counts received and processed by the detector. The scan position (X-axis distance) is marked by yellow line in the SEM image (inset). The distance between the dashed lines provides the thickness of the interface oxide layers.

According to the work presented in reference [96], the removal of surface oxide layers was necessary for achieving high bond strength in solid-state bonding. Hence, it was important to evaluate the effect of a plasma pretreatment process on the interfacial bonding. Figure 4.13 presents the effects of plasma pretreatment on joint strength under various bonding conditions. The results showed that the bonding strength of the samples that had a plasma pretreatment process increased significantly compared to those that had not. This could be explained by the creation of more bonding area through the oxide film removal, as described below.

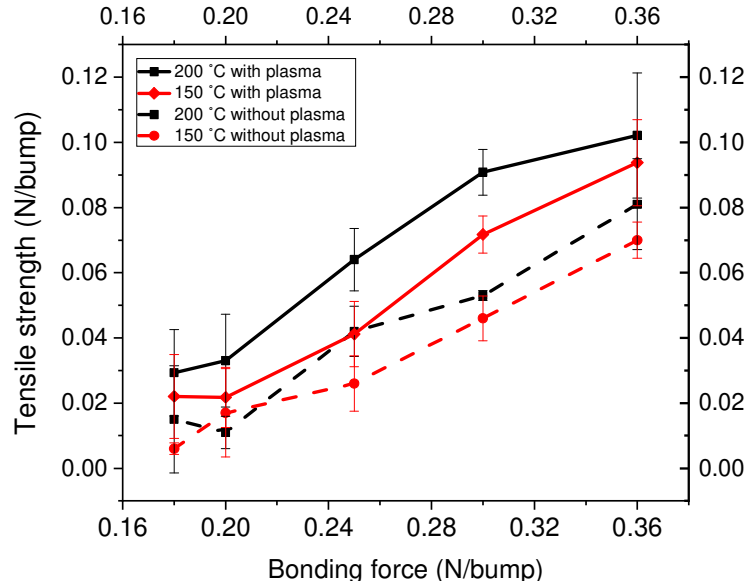


Figure 4.13 Effects of plasma pretreatment on joints strength. Points show averages of 3 measurements, and error bars indicate the range of values obtained among 3 replicate measurements.

After the temporarily joining process, the samples that received a plasma pretreatment process were cross-sectioned and examined under SEM and EBSD in order to measure the IBR, to visualize the DRX behavior, and to measure the IGBM ratio. The IBR measurements were plotted in Figure 4.14. It can be seen that, regardless of the applied temperature, a higher bonding force allowed a significantly higher IBR. Due to the very low IBR found at low bonding force (0.18 N/bump), only the samples bonded at high force (0.36 N/bump) were considered for investigation. When the temperature was 200°C, the IBR reached 84.9%. This high IBR was about 20.6% higher than that found without plasma treatment. Even at a low bonding temperature (150°C), there was a slight increase in the IBR of about 11.5%. Therefore, the plasma pretreatment was beneficial and has the potential for improving the temporary joints during the BATE process. Indeed, we posit that the oxide removal promoted more contact between the metal surface and the increase of IGBM, which ultimately led to a greater interlocking of the solder bump surfaces and hence stronger overall bonding.

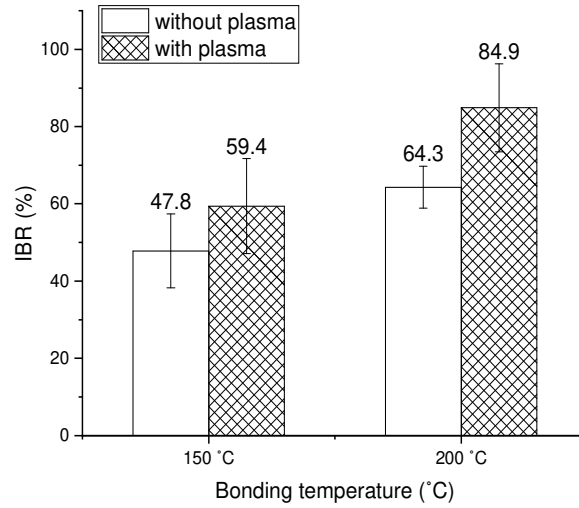


Figure 4.14 Effect of bonding temperature and force on the interfacial bond ratio for the samples pretreated with plasma, a) samples bonded at 0.18N/bump, b) samples bonded at 0.36 N/bump.

To verify this hypothesis, Figure 4.15.a-b show, respectively, the DRX fraction and the IGBM ratio for the samples pretreated with plasma and bonded under bonding condition of 200°C, 150°C and 0.36 N/bump. By comparing the results of figure 4.15.a with those of Figure 4.7.b, it was observed that there was no obvious difference between plasma-treated samples and untreated samples for the proportion of strain-free grains. This similarity excluded the effect of plasma pretreatment on the nucleation of new recrystallized grains. However, under high-bonding force (0.36 N/bump) the IGBM ratio was increased by 10.3% compared to the results without a plasma pretreatment process, but this difference was not statistically significant as the error bars overlapped. Although no statistically significant improvement was observed, the effect of plasma pretreatment on improving the IGBM ratio was likely small but not null. Hence, the migration of the grain boundaries, and resulting interfacial interlocking, might be somewhat impeded by the presence of a thick oxide layer at the interface, which could thus reduce the tensile strength of the temporary assembly.

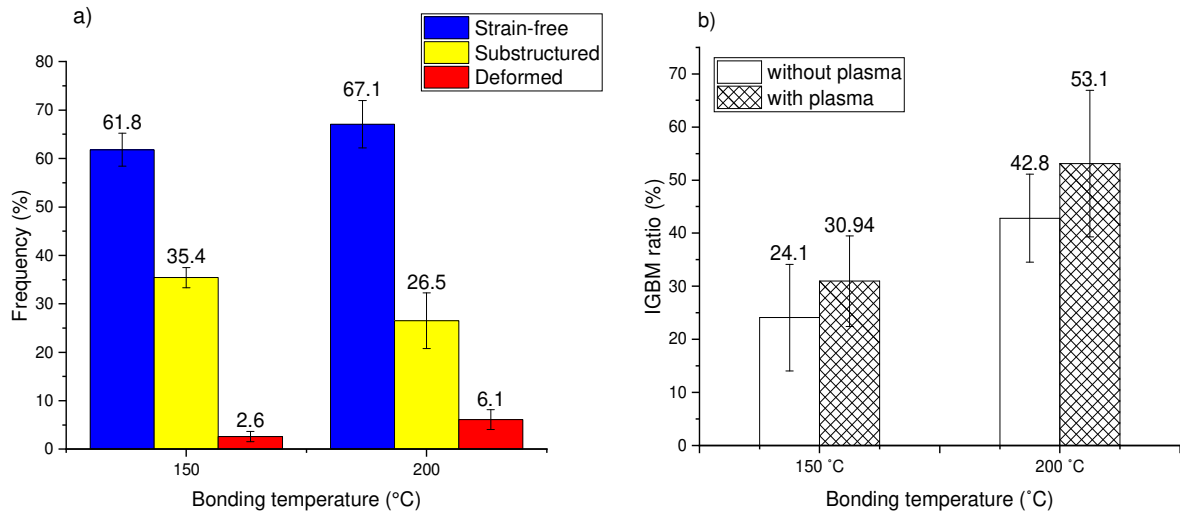


Figure 4.15 a) DRX fraction for the samples pretreated with plasma and bonded at 0.36 N/bump, b) IGBM ratio of joints bonded at 0.36 N/bump.

SEM analysis was used to visualize the presence of the oxide layer at the joined interface, and thereby gain a simple estimate of its thickness. For comparison, the measurements were carried out on plasma-treated samples and untreated samples, assembled at 200°C under forces of 0.18 N/bump and 0.36 N/bump. The average thickness of the oxide layer in the bonding interface areas was plotted in Figure 4.16. It was found that, regardless of bonding condition (with or without plasma), the thickness of the oxide layer was reduced by increasing the bonding force from 0.18 N/bump to 0.36 N/bump. This effect could be explained as a result of breaking the oxide layer into discontinuous particles under the application of a large plastic deformation [119]. The rise in pressure increased the plastic deformation of the bumps, affected the mechanical stability of the interfaces, and resulted in more IBR and more IGBM.

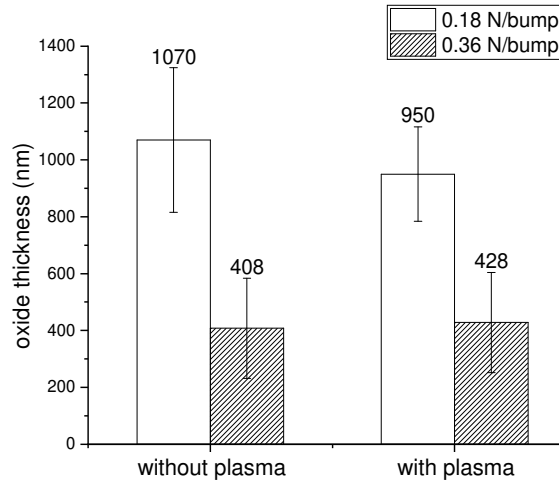


Figure 4.16 SEM interface measurement of the oxide thickness. Values show averages of oxide thickness on 5 random joints on the sample (one sample by assembly condition).

4.5.3 Diffusion Mechanism

EDS analyses were performed to provide information about the elemental composition of solder alloys after temporary bonding. In addition to the temporary bonding temperature exposure, exposing the samples to an underfill curing temperature of 150°C could have increased diffusion. The EDS analyses were conducted on a sample bonded under optimal bonding conditions of 200°C and 0.36 N/bump with a plasma pretreatment process. These EDS analyses results were compared to the initial solder composition (before bonding), in order to detect changes in their chemical composition. The nominal chemical composition of the Sn-1.4 wt% Ag solder bump (on the die side) and the Sn-3.0 wt% Ag-0.5 wt% Cu (SAC 305) solder pad (on the substrate side) prior to bonding, are shown in Figure 4.17.a-b. It was revealed that the chip solder bumps were a ternary alloy of Sn-2.13 wt% Ag-1.17 wt% Cu (Figure 4.17.a), and the substrate solder pads were Sn-3.6 wt% Ag-0.83 wt% Cu (Figure 4.17.b). The difference between the nominal solders concentrations and those estimated by the EDS could be due to the normal variability in metal content of the plating process, as well as the diffusion of the Cu into the SnAgCu solder pads by the reflow processes during the chip or laminate manufacturing process.

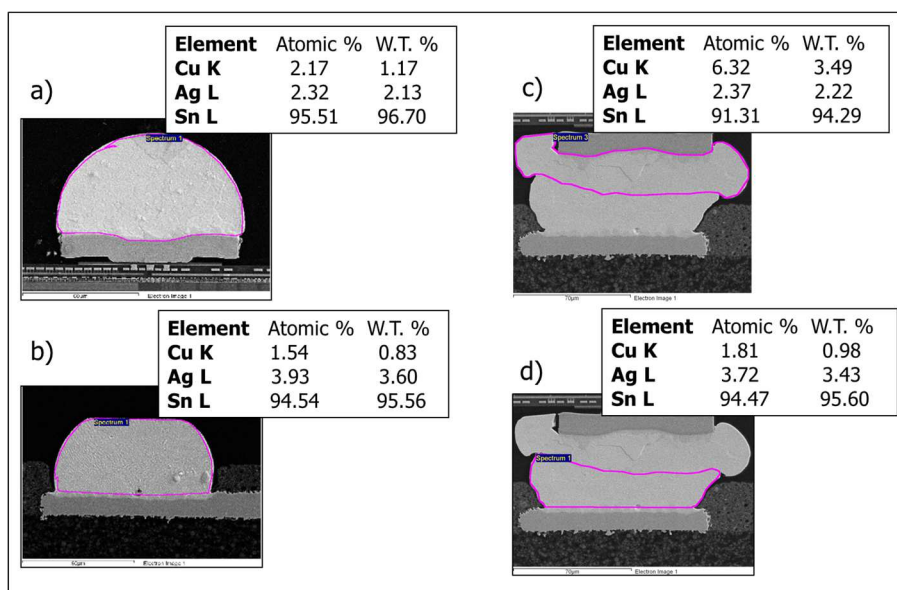


Figure 4.17 SEM and EDS analysis: a) pre-assembled Sn-1.4%Ag solder bump images (bump denote the solder deposited on the top side of the die), b) pre-assembled SAC 305 solder pad (Pad denote the solder on the substrate side to which the solder bump will be joined) , c) upper joint zone d) lower joint zone.

Figure 4.17.c and Figure 4.17.d show cross-sectional SEM images of the upper and lower solder interface areas and their corresponding EDS chemical compositions. The estimated copper content on the chip side increased from 1.17 weight % before bonding to 3.49% after bonding (Figure 4.17.c), but it did not change significantly on the substrate side (Figure 4.17.d). The amount of Ag was found to be stable and there was no significant difference in the concentration of Ag between the bonded and unbonded samples, for both the chip and the substrate solder regions. The diffusion behaviour of Cu atoms from the copper pedestal into the SnAg solder bumps (chip side) seemed to be more pronounced than into SnAgCu (substrate side), which could be due to differences in the bumps or pads metallurgical structure and properties, or to the chip being exposed to a higher temperature for a longer period of time. Beside these EDS quantitative characterizations, EDS map scans were also acquired, as shown in Figure 4.18. The EDS maps indicated that the distribution of Sn, Ag and Cu were quite uniform, and no apparent element aggregation was found across the bonding interface (as shown in Figure 4.18). The dissolution of copper at the interfaces, that could form Cu-Sn intermetallic compounds during the process of forming the temporary solder joints, appeared to be limited, probably due to the low temperature and short processing time available for interdiffusion. According to previous studies, the occurrence of diffusion and phase

transformation along the bonding interface require an isothermal annealing time of more than 200 hours at temperatures between 150 and 200°C. [120][121].

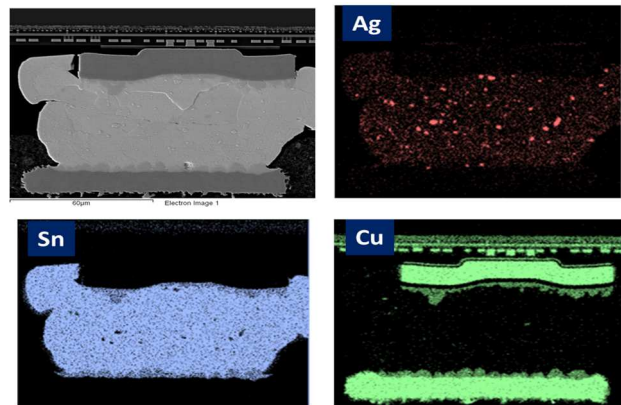


Figure 4.18 Element mapping image for Sn, Ag, and Cu. The three elements are colored differently in their respective maps (red for Ag, blue for Sn, and green for Cu). The higher color intensities correspond to an increased elementary concentration at a given point.

The elementary composition of a grain that had migrated across the interface is shown in Figure 4.19. This figure presents a magnified interfacial microstructure of the solder joint and shows the elemental composition over two selected areas (purple squares) corresponding to a grain below the interface, and to a grain that had migrated across the interface. No significant difference was found among the two analyzed areas. The similarity in the chemical compositions between the interface joint and the base solder further supports the absence of interdiffusion or intermediate phase taking place across the interface. The temporary bond in BATE process is more likely due to mechanical interlocking than to diffusion reaction mechanisms.

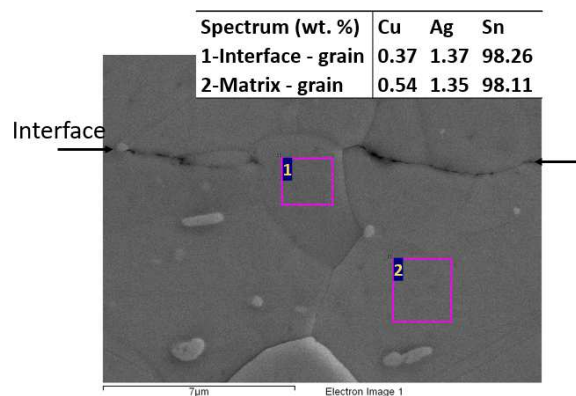


Figure 4.19 SEM micrograph of interfacial microstructure showing a number of EDS mappings over selected areas.

4.5.4 Bonding Mechanism Synthesis

Based on the experimental results obtained in this study and some published articles on solid-state bonding mechanisms [111][112][113][114][122], the interfacial bonding mechanism during the BATE process was proposed, as shown in Figure 4.20.

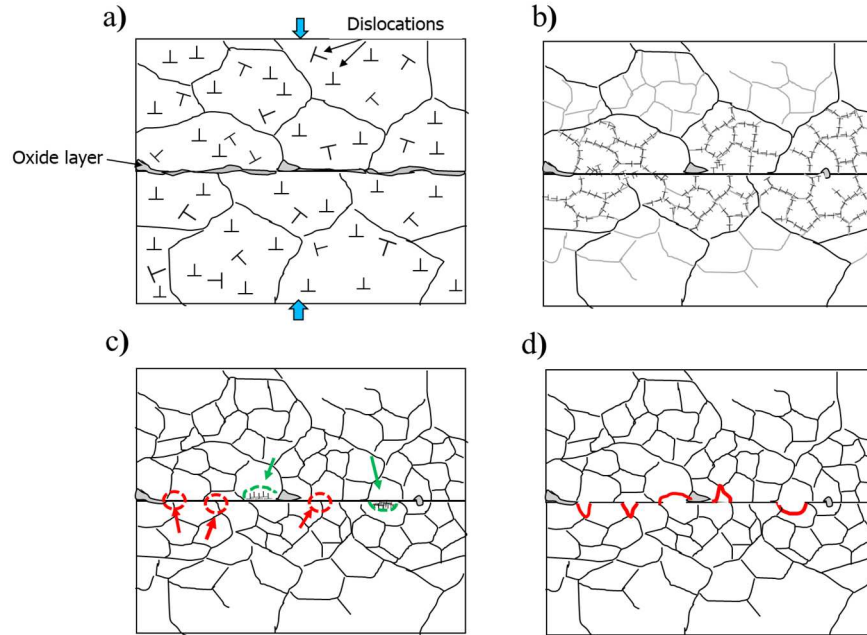


Figure 4.20 Interfacial bonding mechanism during BATE process: a) breakage of the oxide films and formation of high dislocation densities, b) rearrangement of dislocations to form cellular substructures, c) formation of new recrystallized grains which can enhance the IGBM; the red arrows represent the intersections of the grain boundaries along the bonding interface at triple junctions, and the green arrows represent the difference in stored energies producing stain induced IGBM, d) migration of grain boundaries at the interfaces, resulting in interlocking structures.

In the early stage of bonding, the plastic deformation resulting from the action of the pressure broke gradually the oxide films and contaminations and drove the solder bumps to be into physical contact. The plastic deformation of metals produced the transformation of the morphology of the grains and introduced randomly distributed high dislocation densities (Figure 4.20.a). As time passes, the dislocation rearranged to form cellular substructures, and the ratio of voids reduced gradually as the interface contact area enlarged (Figure 4.20.b). The rearrangement of the dislocations led eventually to the formation of subgrain boundaries constituting low angles grain boundaries. The progressive rotation of subgrains involved the nucleation of the continuous

dynamic recrystallization (CDRX) mechanism forming high angles grains boundaries (Figure 4.20.c). Alternatively, to the CDRX mechanism, the increase in temperature and force was also favorable for the migration of grains boundaries at the interfaces, which characterized the DDRX process (Figure 4.20.d). The DDRX process occurred by the migration of the pre-existing HAGB, driven by a reduction of grain boundary energy and stored strain energy. The main two types of grain interface boundary migration were produced; interface grain boundary migration at triple junctions and strain-induced interface grain boundary migration. The formation of several IGBM reinforced the interlocking between grains and consequently, improved the strength of the temporary bond.

4.6 BATE Process Characterization After BGA Reflow

A number of parts were assembled with the optimized bonding temperature (200°C) to characterize the resulting solder joint microstructure after the final BGA reflow process. These characterizations were performed after completing the entire BATE assembly process, including plasma pre-treatment, temporary bonding process, hot transport, underfilling, as well as BGA attach and reflow.

4.6.1 Solder Joint Microstructure Characterization

Two different bonding forces were tested (0.36 and 0.25 N/bump). Preliminary analyses of the joints after the BGA reflow process have shown non-contact defects caused by the separation of the solder interfaces with underfill resin trapped between the interfaces (Figure 4.21.a). This failure was assumed to be due to thermally induced stress caused by the coefficients of thermal expansion (CTE) differences between the substrate and silicon die. To avert this undesirable interface separations, the components should be maintained hot throughout the process. The problem was solved by reducing the range of the cooling step during TCB assembly and maintaining the samples at about 110°C until the underfill-curing step. Figure 4.21.b-c shows the cross-sectional micrographs of the bonding interfaces of two samples bonded under different bonding forces and kept at high temperature (110°C) until the underfill-curing step. It can be seen that a full metallurgical join with normal and continuous microstructure was formed in both tested bonding forces (0.36 and 0.25 N/bump). The temporary bonding interface (visible in Figure 4.10) was found

to disappear after the reflow process. As shown in the Figure 4.21.b-c the final solder joints in BATE exhibited different final shapes compared to the traditional TCB or MR processes with a small re-entrant region near the bonding interface (negative joints comprising sharper angles and potentially higher point stresses). This shape results from the molding of the post-compression shape by the underfill. In a previous study, finite element modeling results have shown that the negative joints might have lower stress levels compared to joints with conventional shapes (from TCB or MR) during thermal cycling tests (see Annexe).

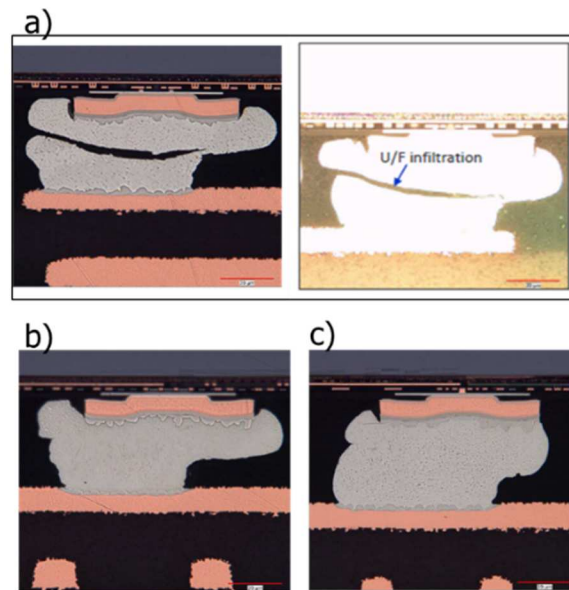


Figure 4.21 Metallographic cross-sections of joint obtained after BGA reflow process: a) bonded at 0.36 N/bump without hot transport, U/F refers to underfill, b) bonded 0.36 N/bump with hot transport, c) bonded 0.25 N/bump with hot transport.

4.6.2 Electrical Bonding Characterization

Electrical measurements were performed on assembled TV2 samples that were bonded with a plasma pretreatment process, at a temperature of 200°C, and under different bonding forces ranging from 0.18 N/bump to 0.36 N/bump. Four-point DC current-voltage measurements were conducted on a number of two-port daisy chains. The results of these electrical measurements are shown in Table 4-1. Electrical bond yields were determined from electrical resistance testing and defined as the number of electrically functional C4 interconnections divided by the total number of tested interconnections. The yield results are presented as 95% credible interval. Good solder joints without electrical failures were found at bonding forces of 0.25, 0.34, and 0.36 N/bump. All these

joints, analyzed together, resulted in a lower limit on the yield of 97.8 % at 95% confidence. As the force decreased to 0.2 N/bump and 0.18 N/bump, the lower confidence limit decreased to 62% and 30%, respectively. This low yield could be attributed to the limited contact area between the solder bump and pad caused by the low bonding force. These electrical characterizations helped to define the bonding process window. The 100% yield could, therefore, be achieved at any force ranging from 0.25 to 0.36 N/bump at a temperature of 200°C.

Table 4-1 Electrical measurements results with 95% uncertainties on yield.

Bonding Force (N/bump)	N° of inspected bump	N° opens	Yield credible interval at 95% confidence (%)
0.36	72	0	94-100
0.3	72	0	94-100
0.25	62	0	93-100
0.2	36	8	62-89
0.18	20	10	30-70

4.7 Conclusion

We have successfully assembled flip-chip devices with lead-free solder bumps using a new solid-state, fast, fluxless TCB method called the BATE process. This method comprises the temporary joining of the chip to a substrate while maintaining the bonding temperature below the melting point of the solder. The metallurgical joints are formed at the end of the packaging process, when the ball grid array solder balls are soldered to the substrate. Maintaining the integrity of the temporary solder joints until the underfill is cured is thus of the highest importance to implement a successful BATE process. Tensile tests were performed to assess the mechanical properties of the temporary solder joints. In parallel, the microstructure evolution was characterized to identify the temporary bonding mechanism. The temporary bond formation appeared to essentially result from mechanical interlocking, with no evidence of intermetallics or inter-diffusion at the bonding interface. An Ar/H₂ plasma pretreatment process could further improve the surface properties and enhance the bonding strength.

Our investigation suggests that the bonding interface was initiated by the fragmentation of surface oxide layers under the effect of a high bonding force. An increase in bonding pressure during the

initial loading process led to plastic deformation of the material. As the material deformed, the dislocations density increased, and their movement gave rise to new recrystallized grains controlled by a continuous dynamic recrystallization (CDRX) mechanism. Under the effect of high temperature and deformation, the analysis revealed also a phenomenon of grain boundaries migration (IGBM) at the interfaces, which was attributed to the discontinuous dynamic recrystallization (DDRX) mechanism. The high level of IGBM allowed the efficient fragmentation of the original bonding interface and, through grain migration, the mechanical interlocking of the two solder surfaces.

After the temporary joining, hot transport to the underfill curing process had to be carried out at a temperature of 110°C to avoid undesirable separation of the temporarily bonded interfaces. Joints with a uniform microstructure without interfacial voids or defects could be obtained after the BGA reflow process. The optimum temporary bonding conditions were determined by electrical bonding characterization on a small number of devices. These optimum parameters included a plasma pretreatment process, an assembly temperature of 200°C, and a bonding force ranging from 0.25 to 0.36 N/bump.

The BATE process allows the formation of good flip-chip bonds with a short bonding time (6s), and correspondingly high throughput. Therefore, it might be an effective process for the assembly of next-generation devices. It improves the conventional flip-chip assembly process efficiency by changing the order of process steps (chip placement – underfill – first level solder joint reflow), thus enabling the elimination of the flux application, chip reflow and post-reflow cleaning. Fluxless joining can alleviate the difficulties of cleaning residues in fine pitch devices with a small substrate-die gap. In addition, the BATE process has the potential to overcome some of the drawbacks associated with high bonding temperatures, and reduce the damaging shear forces resulting from thermal contraction mismatch, as the application of these forces is delayed until after the solder joints are protected by the cured underfill material. By coupling the BATE process with TCB-NCP/NCF assembly techniques which used standard TCB process with pre-applied underfill, the NCP/NCF could also be helpful in absorbing the stress caused by the CTE mismatches in the cooling phase of the TCB process. However, this technique requires careful optimization of each parameter in every step of the process in order to achieve reasonable performance. It also requires a slow heating rate to properly control voids in the pre-applied underfill. Too much thermal

exposure can cause hardening of the NCP/NCF before the solder melts, which may lead to NCP/NCF entrapment.

CHAPITRE 5

CONCLUSION ET PERSPECTIVES

5.1 Conclusion générale

En conclusion, les résultats de cette étude confirment que les objectifs initialement fixés ont été atteints. Le premier objectif de cette thèse était de déterminer dans quelle mesure la vitesse de chauffe peut éventuellement être augmentée pour réduire le temps de cycle d'assemblage TCB tout en assurant que le point de fusion de la brasure soit atteint et que l'uniformité thermique soit assurée. Afin de pouvoir atteindre le premier objectif du projet, il était initialement nécessaire de développer une méthode de mesure de la température au cours du processus d'assemblage TCB et d'évaluer sa distribution sur l'interface de liaison. Les difficultés d'intégrer des micro-capteurs de température dans les modules microélectroniques nous ont poussé à explorer et mettre en œuvre une nouvelle méthode de caractérisation thermique. L'idée était de fabriquer un capteur RTD à base de cuivre sur une tranche de silicium sans avoir besoin d'intégrer des micro-capteurs dans les cœurs des modules. Cette nouvelle méthode de mesure avait le potentiel d'être beaucoup moins complexe et peu coûteuse à fabriquer par rapport aux autres techniques de caractérisation mentionnées dans la littérature (chapitre 2). Un capteur de température RTD à haute résolution spatiale et temporelle a été développé et fabriqué avec succès. Ce capteur RTD a été ensuite placé entre la puce montée sur la tête de liaison et le substrat situé sur la base de la machine, afin de pouvoir évaluer l'influence des différentes vitesses de chauffe sur l'uniformité de distribution de la température sur la surface de la puce ainsi que sur la qualité des joints de brasure qui en résulte. Une série d'expériences a été réalisée en faisant varier les vitesses de chauffe, de 50°C/s jusqu'à de 180°C/s, tout en gardant le temps de maintien en température à 4,5 secondes, le temps refroidissement à 1 seconde, et la température consigne à 400°C. Les résultats ont montré que la qualité des joints de brasure après

le processus d'assemblage TCB a été significativement réduite par les vitesses de chauffage élevées. En effet, les vitesses de chauffe supérieures à 100°C/s ont conduit à une répartition de température non uniforme sur l'interface de liaison, provoquant ainsi de graves défauts dans la brasure sous forme de non-wets. Un ralentissement de la vitesse de chauffe de 180°C/s jusqu'à 80°C/s a atténué les différences de températures entre le centre et la périphérie de la puce et a conduit finalement à une bonne qualité d'assemblage et des joints de brasure robustes. Cependant, cela s'est fait au détriment de la durée totale du cycle d'assemblage, qui est passée de 7,7 secondes jusqu'à 9,5 secondes. Nous avons pu conclure de ces résultats que 80°C/s est la vitesse de chauffe appropriée pouvant assurer une distribution uniforme de la température et permettant en conséquence des joints de brasure sans défauts, et que la limite thermique fondamentale du temps requis pour réussir un assemblage TCB conventionnel est de 9,5 secondes (correspond à 378 UPH). Certes, cette vitesse de chauffe réduite de 80°C/s a pu assurer une bonne uniformité et qualité de liaison pendant le processus de liaison TCB, mais reste généralement une vitesse donnant un rendement commercialement inacceptable. Il devient alors nécessaire de dépasser cette limite thermique fondamentale de la TCB conventionnelle par la mise en œuvre d'une nouvelle méthode d'assemblage TCB.

Bien que les expériences TCB aient été effectuées sur un nombre limité d'échantillons, une méthodologie a été développée qui peut éventuellement être appliquée à tout nouveau type de package. En effet, cette méthodologie constituera la base de travaux futurs qui nous permettront, grâce à notre capteur RTD, de collecter des données thermiques avec une grande précision spatiale et temporelle. Cela nous permettra de mieux comprendre les phénomènes thermiques non stationnaires et les plages de température sur toute autre taille de conception de puce future. Puis développer éventuellement un modèle numérique qui nous permettra d'impliquer plusieurs phénomènes de transfert de chaleur et de prédire assez précisément le comportement complexe non stationnaire de la chauffe par TCB dans tout type de package.

Le second objectif de la thèse (chapitre 4) était alors d'éliminer le besoin de chauffer à des températures élevées et de répondre aux besoins de coût, de performance et de productivité par le développement d'une nouvelle méthode d'assemblage à l'état solide utilisant des températures bien inférieures à celles utilisées dans la TCB conventionnelle. Cette méthode est appelée BATE (Bond At The End). Elle consistait à créer initialement des joints mécaniques temporaires entre la puce et

le substrat par un processus TCB à basse température, et à former les joints métallurgiques à la fin du processus de packaging (lors de la refusion des BGA). Afin de réaliser cette étude, il a fallu tout d'abord développer une compréhension des paramètres et mécanismes critiques dans l'assemblage temporaire des joints de brasure. Une évaluation de l'effet des paramètres d'assemblages (la température, la pression et la qualité de surface) sur la tenue mécanique des joints de brasure après le processus d'assemblage temporaire a été réalisée par des essais de tractions. Les résultats de ces essais ont montré que la résistance des joints de brasure augmentait avec l'augmentation de la température et de la force d'assemblage, et que le nettoyage de la surface par plasma Ar/H₂ avait un effet bénéfique pour augmenter davantage la résistance des joints.

Pour le développement de la nouvelle méthode d'assemblage BATE, il a également été nécessaire d'examiner la microstructure et l'évolution de la texture des brasures à l'aide de différentes techniques de caractérisation (SEM, EBSD, EDS) pour étudier et acquérir une compréhension fondamentale des mécanismes de formation des liaisons temporaires. Selon les conditions de processus appliquées, différents mécanismes ont été explorés à l'interface de liaison. Les résultats des caractérisations de la microstructure indiquent que la formation de liaisons s'est produite sans aucune formation d'intermétalliques. Les résultats des caractérisations microstructurales suggèrent aussi que le mécanisme dominant pour le procédé BATE, capable de fournir une haute résistance des joints de brasure, est la recristallisation dynamique. Ce mécanisme est initialement développé selon un processus de recristallisation dynamique continue (CDRX). Pendant ce processus, la déformation plastique du matériau a entraîné une augmentation de la densité des dislocations, et leur mouvement a donné naissance à des nouveaux grains recristallisés. Sous l'effet de la force et la température élevées, le processus de recristallisation dynamique discontinue (DDRX) est apparu par la migration des joints de grains interfaciaux, permettant ainsi de créer un ancrage mécanique entre les deux interfaces de liaison.

Des caractérisations supplémentaires de la microstructure des joints de brasure résultant du processus de refusion BGA ont été finalement effectuées afin d'évaluer l'effet du processus de refusion sur la qualité finale des interconnexions. Des joints métallurgiques complets avec une microstructure normale et continue a été formé à une température de 200°C, un temps de cycle de 6 secondes, et deux forces de liaisons différentes de 0,36 et 0,25 N/bille. Des caractérisations électriques ont également été réalisées afin d'identifier les conditions de liaison optimales montrant

un bon contact électrique. Les tests électriques ont montré que ces conditions d'assemblage (une température de 200°C, un temps de cycle de 6 secondes, et les forces de liaisons de 0,36 et 0,25 N/bille) donnaient un bon rendement des interconnexions. Ces résultats prometteurs ont montré que cette nouvelle méthode d'assemblage BATTE est efficace pour produire des joints de brasure robustes à des températures et des temps de cycle d'assemblage réduits. Ceci présente une réponse efficace à notre deuxième question de recherche, qui visait à savoir s'il serait possible de dépasser la limite thermique fondamentale de la TCB conventionnelle par le développement d'une nouvelle technique d'assemblage à basse température plus robuste. Dans l'ensemble, cette étude a montré que ce nouveau procédé d'assemblage à l'état solide BATE, présente plusieurs avantages par rapport à la TCB conventionnelle, notamment un temps de cycle court (6 s) et donc un débit de fabrication élevé (600 UPH), un assemblage sans flux, ainsi qu'une réduction des excursions thermiques lors du processus d'assemblage.

5.2 Suggestion de travaux futurs

Les travaux de cette thèse peuvent être considérés comme une première étape dans le développement du processus et des connaissances fondamentales du processus BATE. Il y a encore beaucoup de recherches à faire sur ce processus prometteur. Les études futures possibles pourraient être les suivantes:

- Les mesures électriques effectuées après le processus de refusion finale étaient sur des échantillons assemblés à 200°C. L'objectif ultime est de permettre l'assemblage à plus basses températures et donc de comprendre les performances électriques des interfaces à des températures plus basses sera également d'une grande importance.
- Les études de l'assemblage temporaire durant le processus BATE n'examinaient pas l'effet de différents temps d'assemblage sur la tenue mécanique des joints de brasure et aussi sur le rendement électrique des interconnexions. En raison de la demande continue de courtes durées de cycle d'assemblage, une étude plus détaillée serait nécessaire pour quantifier les effets de différents temps d'assemblage (< 6 secondes) sur les propriétés mécaniques des interfaces.
- Des tests de cyclage thermique ont déjà été effectués sur un nombre limité de modules sous une température variant de -55°C à 125°C (voir annexe). Ainsi, des tests de fiabilité

supplémentaires sur un plus grand nombre d'échantillons permettront de mieux évaluer les performances de fiabilité de cette nouvelle méthode d'assemblage BATE.

- Les échantillons temporairement assemblés devaient être conservés à une température élevée (110°C), jusqu'au processus de cuisson de l'underfill. Il serait ainsi intéressant d'intégrer le processus de remplissage capillaire avec le processus d'assemblage temporaire des puces. De plus, il serait intéressant d'évaluer l'intégration de l'underfill pré-appliqué NCP or NCF avec le procédé BATE en vue d'augmenter le débit de production en combinant deux étapes de processus ensemble.
- Ces expériences préliminaires ont été menées sur des billes de brasure C4. Étudier l'assemblage BATE sur d'autres types d'interconnexion tels que des piliers en cuivre (copper pillars) à pas ultrafin à la place de billes sera aussi d'une grande importance dans l'industrie de la microélectronique.

ANNEXE

Bond At The End: A Comprehensive Study of a New High-Throughput Bonding Process

Avant-propos

Auteurs et affiliation :

Salwa Ben Jemaa : étudiante au doctorat, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Pascale Gagnon : ingénieure développement packaging, Centre de Collaboration Micro-Innovation, IBM Bromont.

Assane Dione : étudiant au doctorat, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Mamadou Kabirou Touré : professionnel de recherche, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Papa Momar Souare : responsable technique de modélisation chez IBM Bromont.

Julien Sylvestre : professeur, Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, Faculté de génie, Département de génie mécanique.

Date de conférence : 3-30 Juin 2020.

Date de publication : 05 Août 2020

Revue: IEEE.

Titre français : Bond At The End: Étude Approfondie d'un Nouveau Procédé d'Assemblage à Haut Débit de Production.

Contribution au document :

Nous avons eu l'occasion de présenter cet article lors de la conférence virtuelle ECTC 2020. Il vise à présenter les résultats préliminaires du processus BATE. Cet article présente les résultats de la modélisation des contraintes thermiques (modélisation réalisée par le groupe de modeling; Assane, Mamadou et Papa) qui ont révélé de manière intéressante que la forme des joints de brasure obtenue avec le processus BATE pourrait en fait être encore plus fiable que les TCB ou MR conventionnels. Cet article présente également les résultats préliminaires prometteurs des tests de fiabilité réalisés au C2MI Bromont.

Résumé français :

Depuis sa création, le processus d'assemblage flip-chip a permis une densité toujours croissante d'interconnexions dans les boîtiers microélectroniques. Alors que le brasage par refusion de masse (MR) continue d'être utile, des techniques alternatives telles que la thermocompression (TCB) ont évolué pour appuyer les technologies d'interconnexion à densité plus élevée. Cependant, le processus TCB nécessite des temps de cycle relativement longs. De plus, c'est un procédé qui est sensible au gauchissement des puces, ainsi qu'aux variations de volume de brasure, de force de liaison ou d'alignement. Dans cette étude, nous rapportons un nouveau procédé de liaison TCB à l'état solide. Il repose sur des joints mécaniques temporaires qui sont formés au début du processus de packaging, en utilisant une pression et une température inférieure au point de fusion de la brasure. Les interconnexions électriques sont formées lorsque les joints de brasure sont complètement refondus à la fin du processus de packaging, lorsque les billes de brasure BGA sont assemblées au substrat. Nous appelons cela le processus Bond At The End (BATE). Nous avons étudié dans ce papier les paramètres de liaison critiques nécessaires pour obtenir la liaison temporaire initiale. Les paramètres de liaison optimaux se sont avérés être une température de 200°C, une force de 0,25 N/bille, avec un temps de maintien en température de 4,5 s et une durée de liaison totale de 6 secondes. L'application d'un traitement plasma Ar/H₂ avant le processus d'assemblage a également amélioré la force de liaison. Une étude approfondie du mécanisme d'ancrage mécanique a été menée. Des robustes interconnexions semblent être le résultat de la migration des joints de grains interfaciaux et de l'emboîtement des surfaces des billes de brasure. La qualité des joints finaux après la refusion BGA a été caractérisée par des micrographies optiques, une microanalyse aux rayons X et un microscope acoustique à balayage. Dans les conditions d'assemblage optimales, nous avons observé un rendement électrique élevé et une bonne fiabilité en cyclage thermique, ce qui est cohérent avec la modélisation par élément fini indiquant une contrainte thermique normale dans les joints finaux.

Mots clés : assemblage par thermocompression, assemblage à l'état solide, processus de packaging avancé.

ANNEXE

Bond At The End: A Comprehensive Study of a New High-Throughput Bonding Process

1.1. Abstract

Since its inception, the flip-chip bonding process has allowed for an ever-increasing density of interconnections in microelectronic packages. While traditional mass reflow (MR) soldering continues to be useful, alternative techniques such as thermal compression bonding (TCB) have evolved to support denser interconnection technologies. However, the TCB process requires relatively long cycle times and is sensitive to chip site warpage, as well as solder volume, bonding force or alignment variations. We report on this study a new solid-state thermocompression bonding process. It relies on temporary mechanical joints that are formed at the beginning of the packaging process, using pressure at a temperature below the solder melting point. The electrical interconnections are formed when the solder joints are completely remelted at the end of the packaging process, when the BGA solder balls are soldered to the substrate. We call this the Bond At The End (BATE) process. We have investigated the critical bonding parameters needed to achieve the initial temporary bond. The optimal bonding parameters were found to be 200°C in temperature, 0.25 N/bump in force, with a 4.5 s dwell time and 6 s total bonding duration. Applying an Ar/H₂ plasma treatment before the assembly process also improved the bonding strength. A thorough investigation of the mechanical anchoring mechanism was carried out. Strong mechanical joining appears to be the result of the migration of interfacial grains boundaries and of the resulting interlocking of the solder bump surfaces. The quality of the final joints after BGA reflow was characterized with optical micrographs, x-ray imaging, and C-mode scanning acoustic microscopy. Under the optimal bonding conditions, we observed a high electrical yield and good reliability in thermal cycling, consistent with finite element modeling indicating a normal thermal stress in the final solder joints.

Keywords— thermal compression bonding, solid state bonding, advanced packaging process.

1.2. Introduction

The flip chip bonding process, implemented either with mass reflow or with thermocompression bonding, has been perfected over decades and is the most industrially relevant process for high performance electronics. Yet, one may wonder if the very nature of the process currently practiced by the industry is amenable to assembling flip chip packages in the most efficient manner. Some aspects of the process may appear redundant or inefficient at first sight. In its most popular implementation, a soldering flux is first applied, only to be painstakingly washed away after chip bonding, to avoid underfill reliability issues [22][93][123][124]. The flux is of course needed to prevent oxidation during the high temperature reflow, which converts part of the chip metallurgy to intermetallics, which can be less resilient than solder [41][46][125]. And this reflow is performed

without the mechanical protection of the underfill, with so-called thermomechanical stresses sometimes leading to fractures in the chip [14][91][92].

These issues have all been addressed by modifications to the flip chip bonding process, including fluxless [43][126] processes, performing the bonding and underfill steps simultaneously [66][127] and reflow temperature profiles [128]. While arguably these solutions are acceptable for the industry in terms of cost, yield and reliability, one may still wonder if other processes might allow flip chip packages to be assembled without residues at small interconnect pitch, without as much IMC growth and BLM consumption, and without excessive stress on the chip. We here report on a flip chip process that permutes the capillary underfill and chip bonding steps. Using a conventional thermocompression bonding machine, the chip is initially compressed on the substrate to create a temporary mechanical bond; this is done at moderate temperatures, so the solder is in the solid state. The capillary underfill is then applied, effectively molding the compressed solder bumps that form the temporary mechanical bonds. After underfill cure, the assembly is taken through the remaining assembly steps (inspection, marking, attachment of a heat spreader, etc.). When solder balls are attached to the substrate to form the ball grid array (BGA), the first level solder bumps between the chip and the substrate melt, forming at the same time electrical interconnects. For this reason, we call this the bond at the end (BATE) process [86].

BATE can be implemented as a fluxless process with one less reflow than the conventional flip chip process. Before the chip and solder joints are protected mechanically by the underfill, the only significant stresses result from the relatively mild compression loads to form the mechanical bonds, and from the shear loads resulting from thermal contraction mismatch from the compression temperature to the underfill application temperature. As the compression to form the temporary bonds can be fast compared to conventional thermocompression bonding (where complete solder joints are formed), the BATE process can thus have a high throughput and provide an excellent yield on mechanically or thermally sensitive, fine pitch devices. Numerical modeling and limited thermal cycling also suggest that it can produce reliable devices.

In this study, an investigation of the temporary mechanical bond quality formed during the BATE process (described in detail in section 1.3) was performed by maximizing tensile strength (section 1.4). In order to reap the benefits of the BATE process, we have further performed a thorough investigation of the physical processes leading to the formation of the temporary mechanical bonds in lead-free solder (section 1.5). This led to the identification of optimal process parameters, with temporary mechanical bonding performed in 6 s, at a load of 0.25 N/bump at 200°C, as well as the definition of best practices for plasma treatments and the handling of BATE temporary assemblies (section 1.6). A number of parts were assembled with the optimized BATE process to demonstrate excellent electrical performances at high yield. Both numerical and experimental data on these parts were finally combined to analyze the expected reliability of the process (section 1.7).

1.3. Bate Process Development: Materials and Assembly Process

1.3.1. Test Vehicles

Two test vehicles (TV) were used in this work for the development of the BATE process. TV1 was used for the mechanical evaluation of the bond quality. TV1 chips were 8.7 mm × 6.6 mm × 0.813

mm, with 1350 individual solder bumps of 85 μm in diameter and 60 μm in height, arranged in a 130 μm pitch configuration. Substrates were 31 mm \times 31 mm \times 1.256 mm in size. TV2 was selected to assess the solder joint electrical performance, via simple two-port daisy chains accessible through the substrate. TV2 chips were 4.2 mm \times 4.2 mm \times 0.787 mm in dimension, with 436 individual solder bumps of 85 μm in diameter and 60 μm in height, arranged in a 185 μm pitch configuration. Substrates had a size of 55 mm \times 55 mm \times 0.85 mm. Both test vehicles had SnAg solder bumps on the chip and SnAgCu bumps on the substrate pads.

1.3.2. Bonding Method and Profile

The samples were assembled in two different ways; one batch of samples was assembled without preliminary treatment and the other with a plasma surface pretreatment. For this plasma treatment, the samples were placed in an Ar/H₂ plasma chamber at a gas pressure of 650 mTorr for 120 s in order to remove the oxide and organic layer covering the solder surface. The BATE mechanical assembly was performed on a TORAY-FC3000WS bonder as follows: 1) measuring and adjusting the coplanarity between the bonding head and stage to be no more than 1 μm over the head surface (20 by 20 mm); 2) picking up the chip with the head maintained at 60°C, and aligning it on the substrate, which was kept at 100°C for the full duration of the thermocompression step; 3) heating-up the bonder head from 60°C to the setpoint temperature of 100, 150 or 200°C in 1 s; 4) mechanically bonding the chip to the substrate at a force ranging from 0.18 N/bump to 0.36 N/bump for a dwell time of 4.5 s; 5) transporting the joined samples to the underfill dispensing system while maintaining the temperature of the samples above 110°C; 6) encapsulating the samples with a capillary underfill curing at 150°C for 3 h; 7) applying flux to the laminate pad array, placing the solder balls and taking the assemblies through a reflow oven (Heller 1914 MKIII) to form the BGA and first level interconnections in a single step.

1.4. Bonding Influence on Tensile Strength

TV1 samples were subjected to tensile strength tests (aka pull tests) using a universal machine (INSTRON 8874) to characterize the strength of the temporary joints. Three tests for each bonding condition were performed to obtain an average strength value. The tensile force is plotted as a function of the bonding temperature and compression force in Figure 1. It can be seen that the plots of tensile forces followed quasi-linear trends as function of bonding forces. It was also found that higher bonding temperatures resulted in higher tensile strength values. Moreover, for all conditions the plasma treatment process led to higher tensile strengths. As a general guideline to interpret our tensile test results, the minimum tensile strength specified in MIL-STD-883H method 2031.1 [129] for our die size is 0.04 N/bump. Many different settings for the process parameters led to larger tensile strength values for the mechanical temporary joints.

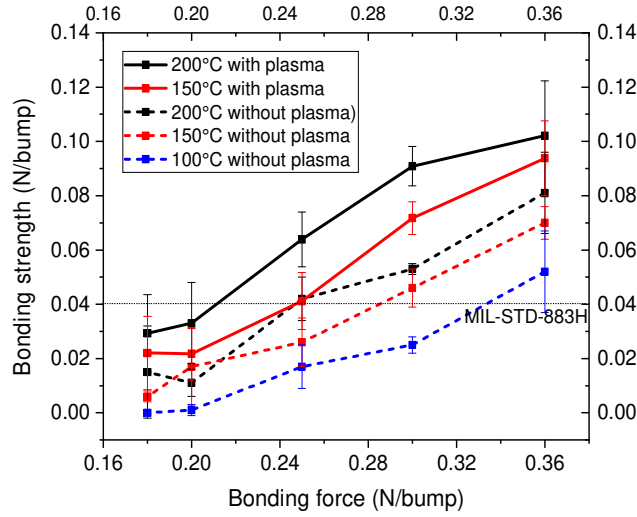


Figure 1 Tensile strength results.

In order to avoid the excessive deformation of the solder bumps, we selected the optimal assemblies process conditions to include a plasma treatment, use a temperature of 200°C, and apply a bonding force of 0.25 N/bump.

1.5. Mechanism of Temporary Bond Formation

In order to better understand the temporary bonding mechanism, we looked for a relationship between the microstructure evolution and the tensile strength of the temporary joints. Two TV1 samples were assembled with different bonding conditions: sample A with 0.18 N/bump at 100°C without plasma treatment, and sample B with 0.36 N/bump at 200°C with plasma treatment. Based on previous tensile test data, the tensile strength was expected to be 0.001 N/bump for sample A and 0.093 N/bump for sample B. Samples A and B were cross-sectioned after the temporarily attach process and examined by scanning electron microscopy (SEM) and electron backscatter diffraction (EBSD) microscopy. EBSD maps were obtained with a step size of 1 μm , an accelerating voltage of 20 kV, and a working distance of 18 mm. EBSD data analysis was performed using the HKL channel 5 software. A detailed description of the method of analysis can be found in [97]. Figure 2 shows the EBSD inverse pole figures (IPF) of the two samples. The IPF reveal the microstructure changes for the two different bonding conditions. For sample A with low tensile strength, a relatively large amount of elongated grains can be observed on both sides of the temporary bonding interface. In sample B with higher tensile strength, the elongated grains are fragmented and newly formed fine equiaxed grains can be observed. The grain refinement is often considered to be a characteristic of a dynamic recrystallization (DRX) process [100]. These results suggest that a significant change in the microstructure was produced by DRX, which is activated by larger bonding forces, and higher temperatures.

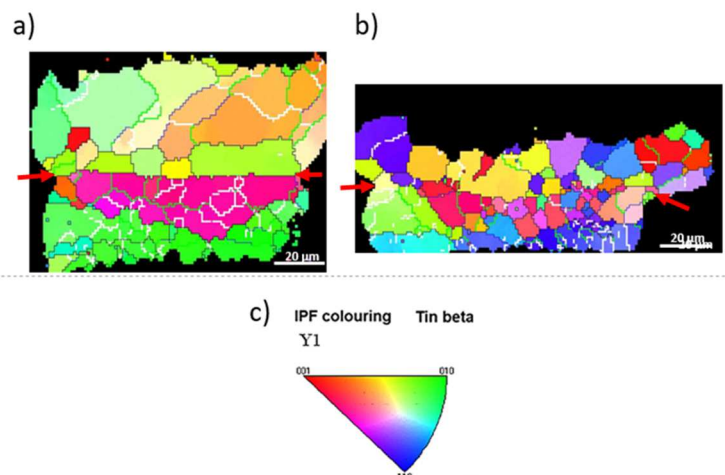


Figure 2 EBSD IPF for a) sample A, and b) sample B. c) colormap for beta Sn grain orientation. The arrows indicate the temporary bonding interfaces.

The DRX process can be further characterized as continuous dynamic recrystallization (CDRX) and discontinuous dynamic recrystallization (DDRX) [100][130]. CDRX involves a progressive increase in grain boundary misorientation and a transformation of low angle grain boundaries or subgrains ($< 15^\circ$, LAGB) into high angle grain boundaries ($>15^\circ$, HAGB) due to dislocations rearrangement [108]. In contrast, DDRX occurs due to the migration of the high grain boundaries (grains bulging), which involves the nucleation and subsequent growth of new grains [110]. The activation of the CDRX mechanism can be investigated in a quantitative way by the distributions of misorientations angles, as shown in Figure 3. In sample A, the observed section contained 62% of LAGB. As the force and temperature were increased in sample B, the situation was reversed with 69% HAGB. This suggests that with an increase of the bonding force and temperature, some of LAGB were transformed into HAGB, thus demonstrating the formation of more recrystallized grains due to the CDRX mechanism.

In order to connect the microstructure evolution through DRX to the mechanical bonding mechanism at the interface, cross-sectional SEM micrographs of interfacial zones in sample B were acquired (Figure 4). As expected for the low compression temperature, no intermetallic formation along the bonding interface could be observed. The analysis however revealed a phenomenon of interfacial grain boundaries migration (IGBM), which is attributed to the DDRX mechanism. These results suggest that both CDRX and DDRX operated concurrently at the bonding conditions of sample B. Under the driving action of interfacial energy, the bulging of the original grain boundary leaves behind very fine cavities that appear near the interface, with a portion of the newly created interface penetrating the other solder volume. A mechanical interlocking of grain boundaries along the interface thus results, which is expected to create the temporary solder joint between the SnAg solder bumps and SnAgCu pads.

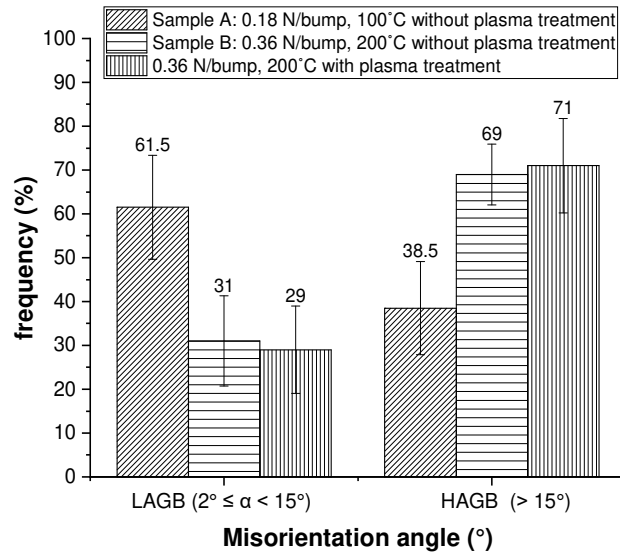


Figure 3 Distribution of misorientation angles in samples A and B, and in a sample with the same condition as sample B, but without plasma.

This model for the temporary bonding mechanism was tested under various assembly conditions for TV1. The bond ratio was defined as the ratio of the length of the bonding interface that is free of voids to the length of the whole interface, as observed in SEM micrographs. The IGBM ratio was defined as the ratio of the length of the migrated grain boundaries to the length of the whole interface. Both ratios are presented in Figure 5. They were calculated from an average of five randomly-selected solder joints distributed across a sample bonded under each given condition.

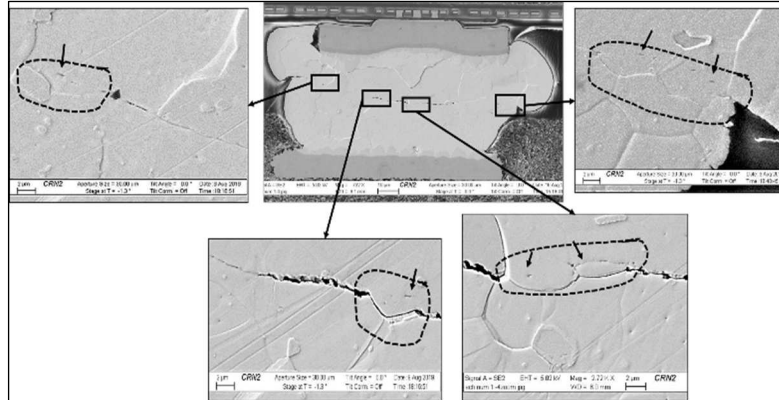


Figure 4 SEM micrograph of sample B and magnified interfacial zones. The arrows and the dashed lines indicate interfacial grain boundaries migration.

As expected, under low bonding conditions (e.g. 100°C and 0.18 N/bump), the solder joints have low bond ratio and IGBM ratio. The bond ratio and the IGBM ratio both increased as the bonding force and temperature increased. Both ratios were also improved by the plasma process. It was finally observed that the tensile strength increased with both the bond and with the IGBM ratios. While it can be expected that increasing the portion of the interface that is in contact (the bond

ratio) increases strength, the increasing IGBM ratio also strongly suggests that the aforementioned interlocking mechanism plays a major role in providing strength.

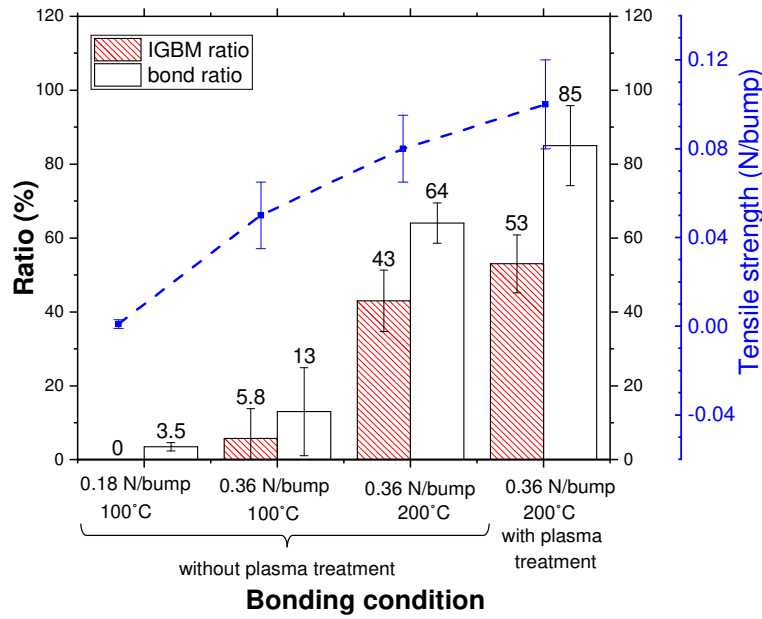


Figure 5 Bond ratio and IGBM ratio under different bonding conditions. The dashed blue line linking the tensile strength data is a guide to the eye.

Based on these observations, an interfacial solid-state bonding mechanism can be formulated (Figure 6). At the beginning of the bonding process, under the action of pressure, temperature and possibly plasma, the oxide film on the interface breaks into oxide fragments. At the same time, the solder bumps deform plastically as a result of a high density of dislocations that are randomly

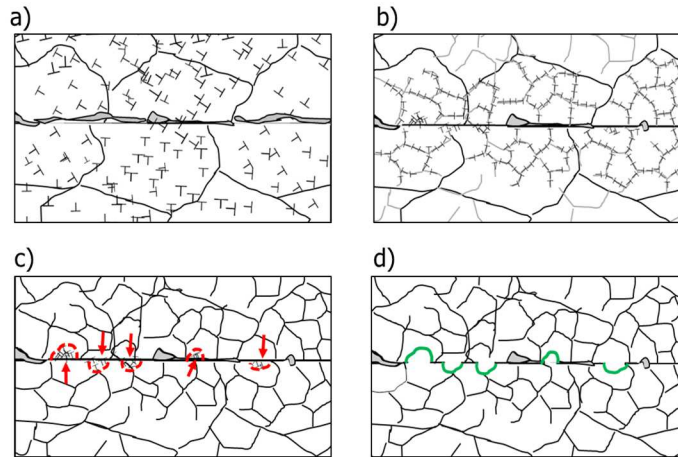


Figure 6 Interfacial bonding mechanism: a) plastic deformation of solder bumps and breaking of oxide layer, b) interaction of the dislocations to form subgrains, c) development of new grains and HAGB, with grain boundary migration, d) interlocking between the grains at the interface (shown in green).

distributed (Figure 6.a). Under the effect of continuing pressure and temperature, the dislocations migrate to form subgrains separated by LAGB (Figure 6.b), which evolve gradually to generate new grains surrounded by HAGB. Subsequently, new grains appear from the high-energy HAGB at the subgrains (Figure 6.c). These grains and HAGB formed during continuous recrystallization migrate throughout the material, including at the interface, thus interlocking grains on both sides of the interface (Figure 6d). The result is an interface with relatively large tensile strength.

1.6. Process Optimization

The fundamental understanding of the temporary mechanical bonding process was leveraged to develop a complete assembly process that was tested in the industrial environment of the University of Sherbrooke C2MI research center (Bromont, Canada). In the BATE process, it is critical that the temporary bonds remain closed until the underfill is applied and cured, to avoid resin infiltration in gaps within the solder interconnects that would result in electrical open circuits. The mechanical bonds thus have to be strong enough to enable the handling of the assemblies, which may lead to vibrations, shocks and, especially, temperature variations.

Components assembled with the BATE process have to have sufficient strength to resist the stress caused by the CTE mismatch between the die and substrate while the assembly is cooled after temporary bonding. The parts are kept above a minimum temperature at all times between the temporary assembly process on the TCB bonder tool and the underfill curing process, for instance using heated conveyors or mobile ovens. While in practice it was observed that keeping the parts above the underfill dispense temperature of 110°C was sufficient when using good bonding parameters, a finite element analysis was performed to better define the acceptable temperature range. The analysis was performed with PACK, a high-performance simulation tool for microelectronic packages develop at the University of Sherbrooke and used by the IBM Corporation [131]. We considered a model for TV1 composed of a die (8.7×6.6×0.813 mm³) attached to a substrate (31×31×1.256 mm³) by an equivalent homogeneous SnAg solder layer.

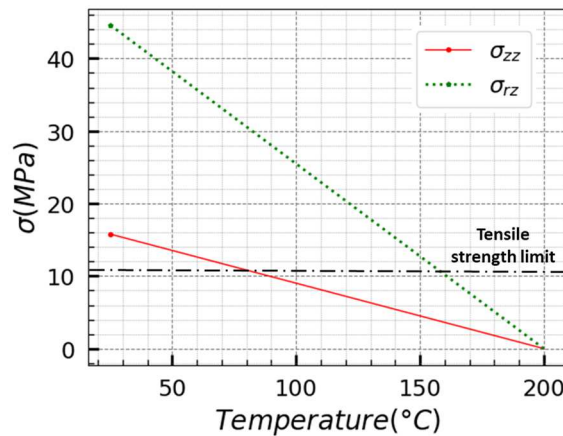


Figure 7 Tensile pull stress (σ_{zz}) and shear stress (σ_{rz}) in the chip corner as function of temperature.

The stresses in the temporary joints were calculated during the cooling down to room temperature, after the removal of heat and pressure from the temporary assembly of the chip on the substrate. The assembly was assumed to be stress-free at the temporary bonding temperature of 200°C. Figure 7 shows the linear increase of thermal stresses with temperature, near the chip corner (maximum), for the tensile pull stress (σ_{zz}) and shear stress between the vertical and diagonal directions (σ_{rz}). The stress values can be compared to a maximal tensile strength limit of 10.6 MPa. This tensile strength limit corresponds to a tensile force of 0.06 N/bump on a circular section 85 μm in diameter. This finite element analysis supports our observation that maintaining the temporary bonded parts above 110°C is sufficient for the strength obtained with the optimized bonding conditions (it should be feasible to go down to ~100°C), and that the tensile strength is a good proxy for the interfacial shear strength.

Quality control of the solder joints was performed for the full BATE process (including hot transport, underfilling, and BGA attach) after the BGA reflow. Assembled TV2 samples were subjected to electrical connection yield measurements. Four-point DC current-voltage measurements were performed on a number of 2-port daisy chains on TV2. The electrical bond yield was determined as the ratio of electrically functional C4 interconnections to the total number of the tested interconnections. The electrical measurements were carried out on TV2 samples bonded with plasma treatment, a temperature of 200°C, and a force ranging from 0.18 N/bump to 0.36 N/bump. A minimum of 20 and a maximum of 72 interconnections were electrically tested, depending of the applied bonding force. Table 1 presents the estimated yield at a 95% confidence level for the different bonding forces. All the joints for bonding forces at 0.25 N/bump or larger that were analyzed were electrically good, resulting in a 95% confidence lower limit on the yield of 97.8% (this value is limited only by our relatively small sample size – our results are statistically consistent with 100% yield). The results in Table 1 show that the bonding force influences the electrical yield of the solder joints, with poor yield below 0.25 N/bump.

Table 1 Electrical measurements results.

<i>Bonding force (N/bump)</i>	<i>Number of inspected C4 interconnections</i>	<i>Yield credible interval at 95% confidence (%)</i>
0.18	72	30-70
0.20	72	62-89
0.25	62	93-100
0.30	36	94-100
0.36	20	94-100

Optical cross-sectional micrographs were acquired to document the final solder joint shapes after the BGA reflow process (Figure 8). It can be seen that a full metallurgical joint with a continuous microstructure was formed under all tested conditions. The temporary bonding interface (visible in figure 4 a) has completely disappeared after the BGA reflow process.

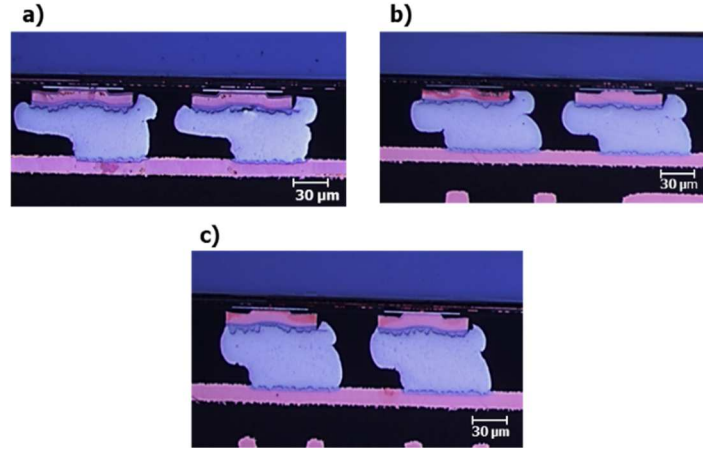


Figure 8 Cross-sectional optical micrographs under different bonding forces: a) 0.36 N/bump, b) 0.30 N/bump, and c) 0.25 N/bump, all at 200°C and with plasma treatment.

Due to the molding of the post-compression shape by the underfill, the structure of the joints in BATE exhibits a different final shape compared to the traditional TCB or MR processes, with a small re-entrant region near the temporary bonding interface. Vertical squashing of the solder bumps can be observed on the samples joined under bonding forces of 0.36 N/bump (Figure 8a). A bonding force of 0.25 N/bump is recommended to ensure good solder joints while avoiding excessive deformation.

C-mode scanning acoustic microscopy (C-SAM), X-ray tomography, and SEM were used to verify that there were no internal defects (e.g. cracks, voids, etc.) that might result from the bonding force (Figures 9 for an example). No such defects were observed in any of the components assembled with BATE.

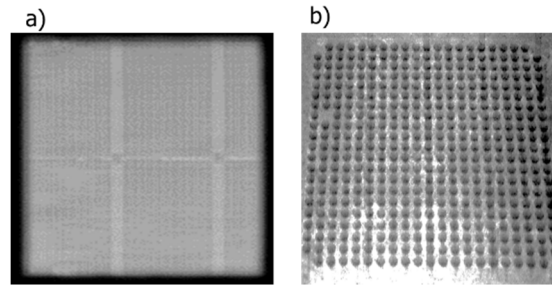


Figure 9 a) C-SAM, and b) X-ray tomography images for a sample bonded at the optimal bonding condition (0.25 N/bump and 200°C with plasma treatment).

1.7. Reliability Results

Samples of TV2 were prepared (n=6 samples) for long-term reliability testing under the JEDEC thermo-cycling condition G (-55°C /125°C, 1000 cycles). Table 2 summarizes the reliability results for the samples assembled with three bonding conditions: 0.25 N/bump for condition 1, 0.30 N/bump for condition 2, and 0.36 N/bump for condition 3. All samples were assembled at a

temperature of 200°C and with plasma treatment. Electrical continuity probing was performed on all samples after 0, 250, 500, 750 and 1000 cycles. No electrical fails were observed.

Table 2 Reliability results.

<i>Bonding condition</i>	<i>DTC (parts defective / parts inspected)</i>			
	<i>250 cy</i>	<i>500 cy</i>	<i>750 cy</i>	<i>1000 cy</i>
1: 0.25 N/bump	0/2	0/2	0/2	0/2
2: 0.30 N/bump	0/2	0/2	0/2	0/2
3: 0.36 N/bump	0/2	0/2	0/2	0/2

In order to increase our level of confidence in our arguably small DTC sample, a finite element analysis was performed to study thermal stresses under thermal cycling conditions for two different solder joints shapes (Figure 10): the conventional truncated-sphere shape (as in standard MR or TCB processes) and the hourglass shape (BATE process). The joint height, pad diameters and the volume of solder were the same for both shapes. Both shapes were computed by minimizing the surface energy of the volume of liquid solder, either with a single volume or with two immiscible volumes in contact.

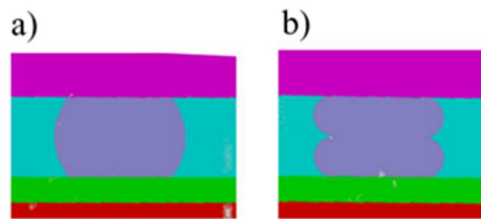


Figure 10 Finite element model for stress analysis under thermal cycling: a) conventional joint and b) hourglass-shaped solder joint.

The model was similar to the one described in section 1.6, with the addition of an underfill layer (with fillets) and the inclusion of solder joints. The thermal stress distributions in the solder joints were computed at -55°C, using the underfill cure temperature (150°C) as the stress-free temperature.

The cumulative distribution functions (CDF) of the von Mises stress reveal a shift in the stress distributions (Figure 11). The median stress for hourglass-shaped solder joints was actually lower by 20% than the median on the truncated sphere shape. It is conceivable that the equatorial constriction in the hourglass-shaped joints move the stress away from the top and bottom pads, thus producing more uniformly-distributed stress across the full height of the joint. The potential reliability benefits of hourglass-shaped joints will be investigated in future experiments with larger sample size.

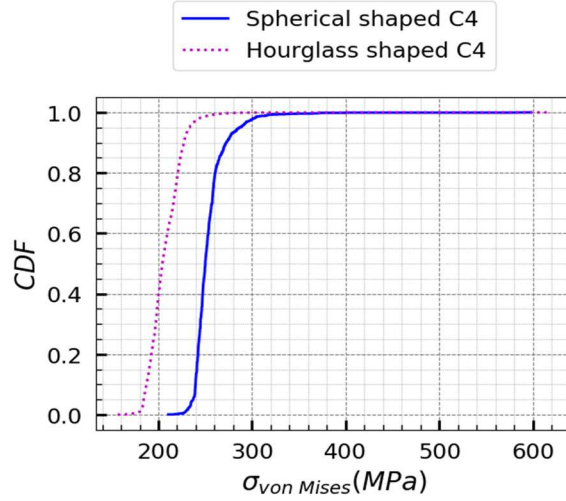


Figure 11 Cumulative distribution functions (CDF) of the von Mises stress distributions.

1.8. Conclusion

We have investigated the new high throughput BATE bonding process that has several advantages, including a short cycle time (6 s) and correspondingly high manufacturing throughput, fluxless assembly, and reduced shear stress and thermal load on sensitive chips. The most innovative feature of this process is to start with the creation of an initial temporary mechanical bond and to perform metallurgical bonding process only at the end of the packaging process (at BGA reflow). The temporary mechanical bonding process was shown to result from the migration of interfacial grain boundaries. High quality solder joints were observed after the BGA reflow process. Good results were achieved on a limited sample of BATE assemblies in thermal cycling. Thermal stress modeling results interestingly revealed that the shape of the solder joints obtained with the BATE process might actually be even more reliable than conventional TCB or MR.

By changing the order of some of the conventional flip-chip process steps, the BATE process improves the overall efficiency of the assembly process, with the elimination of the flux application, chip reflow and post-reflow cleaning (compared to MR). Because the temporary BATE bonding step is fast, these avoided process steps could lead to lower process costs, directly or by lowering capital expenditures in new assembly lines. This would require the cost of the TCB tool and heated conveyors used for BATE to be lower than the combined cost of the flux application, chip placement, reflow oven and cleaning capacity (again comparing to MR). This condition seems fairly easy to satisfy for TCB tools, although the high-force equipment required for large chips (approximately 4 kN for 20,000 interconnections on a single chip) is not currently available from multiple different vendors. The transport of temporary-bonded assemblies at $\sim 100^{\circ}\text{C}$ does not appear like a major cost driver for the BATE process, although it could require a tighter integration of the capillary underfilling process to the temporary chip bonding process, and may require additional development if a plasma treatment is required between bonding and underfilling to enhance the adhesion of the underfill in high-reliability applications.

In addition to potential cost reduction, the BATE process could bring technological benefits to flip-chip packages. The absence of flux eliminates the risk of having hard-to-clean residues in fine-

pitch devices with a small substrate-to-die gap, although in the process instance described in this paper, the capillary filling of said small gap would still be a limiting factor. BATE further reduces the thermal load and the shear force loads on the chip during assembly, by deferring the application of these loads to after the underfill cure. This may be a valuable feature for the assembly of sensitive high-end chips. Compressive forces are applied normal to the plane of the chip during BATE, but these forces (~ 0.2 N/bump) are not exaggerated compared to similar forces on the chip during the manufacturing process (e.g. forces from probes during wafer electrical testing). We have found process parameters for which, on a small number of devices, no evidence of damage from these compressive forces was observed, perfect yield was achieved, and thermal cycling did not induce any measurable damage. Additional testing on a much larger number of devices is required to confirm these exciting, preliminary observations.

LISTE DES RÉFÉRENCES

- [1] G. E. Moore, « Cramming More Components Onto Integrated Circuits », *Proc. IEEE*, vol. 38, n° 8, p. 114-117, 1965, doi: 10.1109/JPROC.1998.658762.
- [2] O. L. Anderson, H. Christensen, et P. Andreatch, « Technique for Connecting Electrical Leads to Semiconductors », *Journal of Applied Physics*, vol. 28, n° 8, p. 923, août 1957, doi: 10.1063/1.1722893.
- [3] A. E. K.-Y. Hung, « Thermo-compression Bonding for Fine-pitch Copper-pillar Flip-chip Interconnect – Tool Features as Enablers of Unique Technology », *Intel Corporation; ASM Pacific Technology Ltd.*, doi: 10.1080/10903120500373322.
- [4] J. J. R. Tuninahi and Eugene J., *Fundamentals of Microsystems Packaging*. New York: McGraw-Hill, 1989.
- [5] M. Datta T. Osaka J. W. Schultze, *Microelectronic Packaging*, 1st Editio. CRC Press.
- [6] Halbo Leif et Ohlckers Per., *Electronic Components, Packaging and Production*. 1995.
- [7] George Harman, *Wire Bonding In Microelectronics*, 3rd editio. 2010.
- [8] C. A. Palesko et E. J. Vardaman, « Cost comparison for flip chip, gold wire bond, and copper wire bond packaging », *Proceedings - Electronic Components and Technology Conference*, p. 10-13, 2010, doi: 10.1109/ECTC.2010.5490877.
- [9] C. D. Breach, « What is the future of bonding wire? Will copper entirely replace gold? », *Gold Bulletin*, vol. 43, n° 3, p. 150-168, 2010, doi: 10.1007/BF03214983.
- [10] M. LaPedus, « Copper turns to gold in IC packaging », *EETimes*, sept. 09, 2010. <https://www.eetimes.com/copper-turns-to-gold-in-ic-packaging/> (consulté le sept. 02, 2020).
- [11] C. L. Gan, F. Classe, B. L. Chan, et U. Hashim, « Future and technical considerations of gold wirebonding in semiconductor packaging - A technical review », *Microelectronics International*, vol. 31, n° 2, p. 121-128, 2014, doi: 10.1108/MI-07-2013-0036.
- [12] W. S. Tsai, C. Y. Huang, C. K. Chung, K. H. Yu, et C. F. Lin, « Generational changes of flip chip interconnection technology », *Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT*, vol. 2017-Octob, n° 153, p. 306-310, 2017, doi: 10.1109/IMPACT.2017.8255955.
- [13] T.R. Bieler, T.K. Lee, « Lead-Free Solder », *Reference Module in Materials Science and Materials Engineering*, 2017.
- [14] K. Sakuma *et al.*, « Differential heating/cooling chip joining method to prevent chip package interaction issue in large die with ultra low-k technology », *Proceedings - Electronic Components and Technology Conference*, p. 430-435, 2012, doi: 10.1109/ECTC.2012.6248866.
- [15] C. T. Ko et K. N. Chen, « Low temperature bonding technology for 3D integration », *Microelectronics Reliability*, vol. 52, n° 2, p. 302-311, 2012, doi: 10.1016/j.microrel.2011.03.038.
- [16] S. C. Kim et Y. H. Kim, « Review paper: Flip chip bonding with anisotropic conductive film (ACF) and nonconductive adhesive (NCA) », *Current Applied Physics*, vol. 13, n° 4 SUPPL.2, p. S14-S25, 2013, doi: 10.1016/j.cap.2013.05.009.
- [17] M. J. Yim, J. Hwang, et K. W. Paik, « Anisotropic Conductive Films (ACFs) for ultra-fine Pitch Chip-On-Glass (COG) applications », *Proceedings of the International Symposium and Exhibition on Advanced Packaging Materials Processes, Properties and Interfaces*, vol. 2005, p. 181-186, 2005, doi: 10.1109/ISAPM.2005.1432074.
- [18] S. C. Kim, J. Y. Lee, J. Y. Park, T. Y. Lee, et Y. H. Kim, « The effect of solder wetting on nonconductive adhesive (NCA) trapping in NCA applied flip-chip bonding », *Journal of Materials Science: Materials in Electronics*, vol. 27, n° 7, p. 6646-6655, 2016, doi: 10.1007/s10854-016-4611-5.

- [19] G. Rajesh et L. M. Kashmiri, *Electrically conductive adhesives*. 2008.
- [20] E. Briggs et R. Lasky, « Best Practices Reflow Profiling for Lead-Free SMT Assembly », p. 8.
- [21] C. G. Tsai, C. M. Hsieh, et J. A. Yeh, « Self-alignment of microchips using surface tension and solid edge », *Sensors and Actuators A: Physical*, vol. 139, n° 1-2, p. 343-349, sept. 2007, doi: 10.1016/j.sna.2007.04.019.
- [22] Packages Fan Zhang, Ming Li, W. T. Chen, et K. S. Chian, « An investigation into the effects of flux residues on properties of underfill materials for flip chip packages », *IEEE Trans. Comp. Packag. Technol.*, vol. 26, n° 1, p. 233-244, mars 2003, doi: 10.1109/TCAPT.2002.807590.
- [23] J. Wang, « Underfill of flip chip on organic substrate: viscosity, surface tension, and contact angle », *Microelectronics Reliability*, vol. 42, n° 2, p. 293-299, févr. 2002, doi: 10.1016/S0026-2714(01)00231-1.
- [24] S. Lee, M. J. Yim, R. N. Master, C. P. Wong, et D. F. Baldwin, « Void Formation Study of Flip Chip in Package Using No-Flow Underfill », *IEEE Trans. Electron. Packag. Manufact.*, vol. 31, n° 4, p. 297-305, oct. 2008, doi: 10.1109/TEPM.2008.2002951.
- [25] D. Straubinger, I. Bozsóki, D. Bušek, B. Illés, et A. Géczy, « Modelling of temperature distribution along PCB thickness in different substrates during reflow », *CW*, vol. 46, n° 2, p. 85-92, déc. 2019, doi: 10.1108/CW-07-2019-0074.
- [26] C. Srivalli, M. Z. Abdullah, et C. Y. Khor, « Numerical investigations on the effects of different cooling periods in reflow-soldering process », *Heat Mass Transfer*, vol. 51, n° 10, p. 1413-1423, oct. 2015, doi: 10.1007/s00231-015-1506-6.
- [27] B. Salam, C. Virseda, H. Da, N. N. Ekere, et R. Durairaj, « Reflow profile study of the Sn-Ag-Cu solder », *Soldering & Surface Mount Tech*, vol. 16, n° 1, p. 27-34, avr. 2004, doi: 10.1108/09540910410517022.
- [28] K. Murayama, M. Aizawa, et T. Kurihara, « Study of Crystal Orientation and Microstructure in Sn-Bi and Sn-Ag-Cu solder with Thermal Compression Bonding and Mass Reflow Kei », p. 1-8, 2016, doi: 10.1109/ECTC.2016.140.
- [29] J. Sylvestre, A. Blander, V. Oberson, E. Perfecto, et K. Srivastava, « The impact of process parameters on the fracture of device structures during chip joining on organic laminates », *Proceedings - Electronic Components and Technology Conference*, p. 82-88, 2008, doi: 10.1109/ECTC.2008.4549954.
- [30] J. H. Lau, « Recent Advances and New Trends in Flip Chip Technology », *Journal of Electronic Packaging*, vol. 138, n° 3, p. 030802, 2016, doi: 10.1115/1.4034037.
- [31] N. Islam, V. Pandey, et S. Chippac, « Fine Pitch Cu Pillar Assembly Challenges for Advanced Flip Chip Package », *International Wafer Level Packaging Conference*, 2017.
- [32] Y. Jung *et al.*, « Development of Next Generation Flip Chip Interconnection Technology Using Homogenized Laser-Assisted Bonding », in *2016 IEEE 66th Electronic Components and Technology Conference (ECTC)*, Las Vegas, NV, USA, mai 2016, p. 88-94, doi: 10.1109/ECTC.2016.76.
- [33] H. Clauberg *et al.*, « High Productivity Thermocompression Flip Chip Bonding », *Proceedings - Electronic Components and Technology Conference*, vol. 2015-July, p. 22-29, 2015, doi: 10.1109/ECTC.2015.7159566.
- [34] T. Strothmann et H. Clauberg, « High throughput thermocompression bonding enabled with a flexible manufacturing platform », *China Semiconductor Technology International Conference 2016, CSTIC 2016*, p. 1-3, 2016, doi: 10.1109/CSTIC.2016.7464052.
- [35] A. E. K.-Y. Hung, « Thermo-compression Bonding for Fine-pitch Copper-pillar Flip-chip Interconnect – Tool Features as Enablers of Unique Technology », *Intel Corporation; ASM Pacific Technology Ltd.*, doi: 10.1080/10903120500373322.
- [36] Y. Li et D. Goyal, Éd., *3D Microelectronic Packaging: From Fundamentals to Applications*, vol. 57. Cham: Springer International Publishing, 2017.
- [37] « Fu et al. - 2015 - Thermal compression bonding for fine pitch solder interconnects ». .

- [38] S. Ben Jemaa, J. Sylvestre, et P. Gagnon, « Integrated RTD Sensors for maintaining thermal uniformity during TCB process », 2019, doi: 10.1109/ECTC.2019.00267.
- [39] P. Bex *et al.*, « Thermal compression bonding : understanding heat transfer by in situ measurements and modeling », 2017, doi: 10.1109/ECTC.2017.49.
- [40] D. Athia, A. Rezvani, H. Clauberg, I. Qin, et M. Mayer, « Numerical Simulations of Joint-to-Joint Temperature Variation during Thermo-Compression Bonding », *Proceedings - Electronic Components and Technology Conference*, p. 1906-1915, 2017, doi: 10.1109/ECTC.2017.83.
- [41] S. Lu, J. Juang, H. Cheng, Y. Tsai, T. Chen, et W. Chen, « Effects of Bonding Parameters on the Reliability of Fine-Pitch Cu / Ni / SnAg Micro Bump Chip-to-Chip (C2C) Interconnection for 3D Chip Stacking », vol. 12, n° c, p. 1-24, 2012.
- [42] F. X. Che, J. Lin, K. Y. Au, H. Hsiao, et X. Zhang, « Stress Analysis and Design Optimization for Low-k Chip With Cu Pillar Interconnection », vol. 5, n° 9, p. 1273-1283, 2015.
- [43] K. Sakuma *et al.*, « Fluxless Bonding Process Using Thermo-Compression Micro-Scrub for 61 μ m Pitch SnAg Solder 3-D Interconnections », *Proceedings - Electronic Components and Technology Conference*, vol. 2016-Augus, p. 329-335, 2016, doi: 10.1109/ECTC.2016.191.
- [44] H. G. Lee, J. W. Shin, Y. W. Choi, et K. W. Paik, « Effects of thermocompression bonding parameters on Cu Pillar/Sn-Ag microbump solder joint morphology using nonconductive films », *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 7, n° 3, p. 450-455, 2017, doi: 10.1109/TCPMT.2016.2641040.
- [45] C. J. Zhan, C. C. Chuang, J. Y. Juang, S. T. Lu, et T. C. Chang, « Assembly and Reliability Characterization of 3D Chip Stacking with 30um Pitch Lead-Free Solder Micro Bump Interconnection », *Proceedings - Electronic Components and Technology Conference*, p. 1043-1049, 2010, doi: 10.1109/ECTC.2010.5490829.
- [46] Y. W. Huang *et al.*, « Effect of joint shape controlled by thermocompression bonding on the reliability performance of 60 μ m-pitch solder micro bump interconnections », *Proceedings - Electronic Components and Technology Conference*, p. 1908-1914, 2014, doi: 10.1109/ECTC.2014.6897562.
- [47] M. Tsai, J. Tsai, Y. H. Yao, R. Lo, C. K. Chang, et N. Kao, « Challenge and warpage optimization of thermal compression bonding technology on coreless substrates », in *2017 IEEE 19th Electronics Packaging Technology Conference (EPTC)*, Singapore, déc. 2017, p. 1-7, doi: 10.1109/EPTC.2017.8277426.
- [48] F. X. Che, J. Lin, K. Y. Au, H. Hsiao, et X. Zhang, « Stress Analysis and Design Optimization for Low-k Chip With Cu Pillar Interconnection », vol. 5, n° 9, p. 1273-1283, 2015.
- [49] K. Sakuma *et al.*, « Flip chip assembly method employing differential heating/cooling for large dies with coreless substrates », *Proceedings - Electronic Components and Technology Conference*, p. 667-673, 2013, doi: 10.1109/ECTC.2013.6575645.
- [50] J. Sylvestre, « Note de Cours chapitre 5: Interconnexions », 2015.
- [51] M. Godard, D. Drouin, M. Darnon, S. Martel, et C. Fortin, « Plasma Treatment for Fluxless Flip-Chip Chip-Joining Process », *Proceedings - Electronic Components and Technology Conference*, vol. 2018-May, p. 419-424, 2018, doi: 10.1109/ECTC.2018.00069.
- [52] D. Athia, « Experimental and Numerical Thermal Analysis for Advanced Flip Chip Thermo-Compression Bonding via CMOS Micro- sensor Arrays and Finite Element Model- ling Author ' s Declaration », 2017.
- [53] H. Clauberg *et al.*, « Advanced Thermocompression Flip Chip Bonding », *Proceedings of the 16th Electronics Packaging Technology Conference, EPTC 2014*, p. 492-495, 2014, doi: 10.1109/EPTC.2014.7028380.
- [54] A. Laor, D. Athia, A. Rezvani, H. Clauberg, et M. Mayer, « Monitoring of thermo-mechanical stress via CMOS sensor array: Effects of warpage and tilt in flip chip thermo-compression bonding », *Microelectronics Reliability*, vol. 73, p. 60-68, 2017, doi: 10.1016/j.microrel.2017.03.001.

- [55] V. Smet *et al.*, « Interconnection Materials, Processes and Tools for Fine-pitch Panel Assembly of Ultra-thin Glass Substrates », in *2015 Electronic Components & Technology Conference*, 2015, p. 475-483.
- [56] Y. Jeong, J. Choi, Y. Choi, N. Islam, et E. Ouyang, « Optimization of Compression Bonding processing temperature for fine pitch Cu-column flip chip devices », *Proceedings - Electronic Components and Technology Conference*, p. 836-840, 2014, doi: 10.1109/ECTC.2014.6897382.
- [57] N. Asahi, Y. Miyamoto, M. Nimura, Y. Mizutani, et Y. Arai, « High productivity thermal compression bonding for 3D-IC », *2015 International 3D Systems Integration Conference, 3DIC 2015*, p. TS7.3.1-TS7.3.5, 2015, doi: 10.1109/3DIC.2015.7334577.
- [58] A. B. Y. Lim *et al.*, « High throughput thermo-compression bonding with pre-applied underfill for 3D memory applications », *Proceedings of the 2016 IEEE 18th Electronics Packaging Technology Conference, EPTC 2016*, p. 427-434, 2017, doi: 10.1109/EPTC.2016.7861515.
- [59] « Challenges in Measuring Theta jc for High Thermal Performance Packages », *AnySilicon*, oct. 03, 2014. <https://anysilicon.com/challenges-measuring-theta-jc-high-thermal-performance-packages/> (consulté le sept. 02, 2020).
- [60] M. Lofrano, V. Cherman, C. Gerets, P. Bex, et E. Beyne, « Thermal Management and Processing Optimization for 3D Multi-layer Stacked ICs », in *2019 25th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, Lecco, Italy, sept. 2019, p. 1-4, doi: 10.1109/THERMINIC.2019.8923872.
- [61] J. Y. Juang *et al.*, « Development of Micro-Bump-Bonded Processes for 3DIC Stacking with High Throughput », *Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT*, p. 366-369, 2011, doi: 10.1109/IMPACT.2011.6117238.
- [62] A. Yu *et al.*, « Study of 15um pitch solder microbumps for 3D IC integration », *Proceedings - Electronic Components and Technology Conference*, p. 6-10, 2009, doi: 10.1109/ECTC.2009.5073988.
- [63] M. Li, D. Tian, Y. Cheung, L. Yang, et J. H. Lau, « A High Throughput and Reliable Thermal Compression Bonding Process for Advanced Interconnections », p. 603-608, 2015.
- [64] M. Lee *et al.*, « Study of interconnection process for fine pitch flip chip », *Proceedings - Electronic Components and Technology Conference*, p. 720-723, 2009, doi: 10.1109/ECTC.2009.5074092.
- [65] Y. C. Chan, S. C. Tan, N. S. M. Lui, et C. W. Tan, « Electrical Characterization of NCP- and NCF-Bonded Fine-Pitch Flip-Chip-on-Flexible Packages », vol. 29, n° 4, p. 735-740, 2006.
- [66] M. Tsai *et al.*, « Alternative Fine Pitch Solution of Low Cost and High Throughput Thermal Compression Bonding by using Capillary Underfill », n° 123, p. 465-469, 2015.
- [67] H. Clauberg *et al.*, « High Productivity Thermocompression Flip Chip Bonding », *Proceedings - Electronic Components and Technology Conference*, vol. 2015-July, p. 22-29, 2015, doi: 10.1109/ECTC.2015.7159566.
- [68] J. Bai *et al.*, « Enabling Reliability of 3D TSV Advanced Packages with Nonconductive, Pre-Applied Underfill Film Materials », in *2018 International Wafer Level Packaging Conference (IWLPC)*, San Jose, CA, USA, oct. 2018, p. 1-7, doi: 10.23919/IWLPC.2018.8573263.
- [69] H. Clauberg *et al.*, « Thermocompression flip chip bonding optimization for pre-applied underfill », *Proceedings of the Electronic Packaging Technology Conference, EPTC*, vol. 2016-Febru, p. 1-4, 2016, doi: 10.1109/EPTC.2015.7412343.
- [70] T. K. Lee, E. Lua, K. C. Low, A. Ng, et H. W. Ng, « Bonding Development for Non-Conductive Paste (NCP) », in *2005 7th Electronic Packaging Technology Conference*, Singapore, 2005, vol. 2, p. 780-785, doi: 10.1109/EPTC.2005.1614504.
- [71] T. Nonaka *et al.*, « High throughput thermal compression NCF bonding », *Proceedings - Electronic Components and Technology Conference*, p. 913-918, 2014, doi: 10.1109/ECTC.2014.6897396.

- [72] A. Laor, D. Athia, A. Rezvani, H. Clauberg, et M. Mayer, « Monitoring of thermo-mechanical stress via CMOS sensor array: Effects of warpage and tilt in flip chip thermo-compression bonding », *Microelectronics Reliability*, vol. 73, p. 60-68, 2017, doi: 10.1016/j.microrel.2017.03.001.
- [73] L. Zhang *et al.*, « Materials, processing and reliability of low temperature bonding in 3D chip stacking », *Journal of Alloys and Compounds*, vol. 750, p. 980-995, juin 2018, doi: 10.1016/j.jallcom.2018.04.040.
- [74] D. Liu et S. Park, « Three-Dimensional and 2.5 Dimensional Interconnection Technology: State of the Art », *Journal of Electronic Packaging*, vol. 136, n° 1, p. 014001-014001, 2014, doi: 10.1115/1.4026615.
- [75] G. O. Cook et C. D. Sorensen, « Overview of transient liquid phase and partial transient liquid phase bonding », *Journal of Materials Science*, vol. 46, n° 16, p. 5305-5323, 2011, doi: 10.1007/s10853-011-5561-1.
- [76] R. Agarwal, W. Zhang, P. Limaye, et W. Ruythooren, « High density Cu-Sn TLP bonding for 3D integration », *Proceedings - Electronic Components and Technology Conference*, vol. 32, n° 0, p. 345-349, 2009, doi: 10.1109/ECTC.2009.5074038.
- [77] Y.-H. Wang, M. R. Howlader, K. Nishida, T. Kimura, et T. Suga, « Study on Sn–Ag Oxidation and Feasibility of Room Temperature Bonding of Sn–Ag–Cu Solder », *Materials Transactions*, vol. 46, n° 11, p. 2431-2436, 2005, doi: 10.2320/matertrans.46.2431.
- [78] YingHui Wang *et al.*, « Surface activation process of lead-free solder bumps for low temperature bonding », in *2005 6th International Conference on Electronic Packaging Technology*, Shenzhen, China, 2005, p. 404-407, doi: 10.1109/ICEPT.2005.1564688.
- [79] S. M. Hong, C. S. Kang, et J. P. Jung, « Fluxless Sn-3.5 mass% Ag solder bump flip chip bonding by ultrasonic wave », *Materials Transactions*, vol. 43, n° 6, p. 1336-1340, 2002, doi: 10.2320/matertrans.43.1336.
- [80] B. Wu, S. Zhang, F. Wang, et Z. Chen, « Micro Copper Pillar Interconnection Using Thermosonic Flip Chip Bonding », *Journal of Electronic Packaging, Transactions of the ASME*, vol. 140, n° 4, p. 1-5, 2018, doi: 10.1115/1.4040794.
- [81] T. Laurila, V. Vuorinen, M. Paulasto-Kröckel, M. Turunen, T. T. Mattila, et J. Kivilahti, « Interfacial Compatibility in Microelectronics: Moving Away from the Trial and Error Approach », p. 218-218, 2012, doi: 10.1007/978-1-4471-2470-2.
- [82] F. Wang et L. Han, « Ultrasonic effects in the thermosonic flip chip bonding process », *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 3, n° 2, p. 336-341, 2013, doi: 10.1109/TCPMT.2012.2226459.
- [83] M. Hizukuri, N. Watanabe, et T. Asano, « Dynamic Strain and Chip Damage during Ultrasonic Flip Chip Bonding », *Jpn. J. Appl. Phys.*, vol. 40, n° Part 1, No. 4B, p. 3044-3048, avr. 2001, doi: 10.1143/JJAP.40.3044.
- [84] Y.-H. Wang et T. Suga, « Effect of Surface Contamination on Solid-State Bondability of Sn-Ag-Cu Bumps in Ambient Air », doi: 10.2320/matertrans.MF200804.
- [85] S.-C. Kim et Y.-H. Kim, « Development of low temperature Chip-on-Flex (COF) bonding process of 100°C », in *2012 14th International Conference on Electronic Materials and Packaging (EMAP)*, Lantau Island, Hong Kong, déc. 2012, p. 1-3, doi: 10.1109/EMAP.2012.6507904.
- [86] Julien Sylvestre. "Thermocompression for semiconductor chip assembly" U.S Patent No. 8,932,909 B2. 13 Jan 2015.
- [87] V. Smet *et al.*, « Interconnection Materials, Processes and Tools for Fine-pitch Panel Assembly of Ultra-thin Glass Substrates », in *2015 Electronic Components & Technology Conference*, 2015, p. 475-483.
- [88] S. B. Jemaa, J. Sylvestre, et P. Gagnon, « Integrated RTD Sensors for maintaining thermal uniformity during TCB process », 2019, doi: 10.1109/ECTC.2019.00267.

- [89] J. Sylvestre, M. Samson, D. Langlois-Demers, et E. Duchesne, « Modeling the Flip-Chip Wetting Process », *IEEE Trans. Compon., Packag. Manufact. Technol.*, vol. 4, n° 12, p. 2004-2017, déc. 2014, doi: 10.1109/TCPMT.2014.2364552.
- [90] J. Fu, M. Aldrete, M. Shah, V. Noveski, et M. Hsu, « Thermal compression bonding for fine pitch solder interconnects », *Proceedings - Electronic Components and Technology Conference*, vol. 2015-July, p. 7-11, 2015, doi: 10.1109/ECTC.2015.7159563.
- [91] J. Sylvestre, A. Blander, V. Oberson, E. Perfecto, et K. Srivastava, « The impact of process parameters on the fracture of device structures during chip joining on organic laminates », *Proceedings - Electronic Components and Technology Conference*, p. 82-88, 2008, doi: 10.1109/ECTC.2008.4549954.
- [92] P. J. Cheng, C. M. Chung, T. M. Pai, et D. Y. Chen, « A challenge of 45 nm extreme low-k chip using Cu pillar bump as 1st interconnection », *Proceedings - Electronic Components and Technology Conference*, p. 1618-1622, 2010, doi: 10.1109/ECTC.2010.5490768.
- [93] M. H. Chan, B. Hsue, C. T. Lin, S. Chiu, et Y. P. Wang, « Effects of cleaning process on the reliability of ultra-fine gap for 3D package », *Proceedings - Electronic Components and Technology Conference*, vol. 2015-July, n° 153, p. 1193-1196, 2015, doi: 10.1109/ECTC.2015.7159746.
- [94] J. Wang, « The effect of flux residue and substrate wettability on underfill flow process in flip chip packages », *Proceedings - Electronic Components and Technology Conference*, vol. 2006, p. 467-473, 2006, doi: 10.1109/ECTC.2006.1645688.
- [95] J. M. Kim, J. P. Jung, Y. N. Zhou, et J. Y. Kim, « Ambient temperature ultrasonic bonding of Si-dice using Sn-3.5wt.%Ag », *Journal of Electronic Materials*, vol. 37, n° 3, p. 324-330, 2008, doi: 10.1007/s11664-007-0341-z.
- [96] Y. H. Wang et T. Suga, « Feasibility of solid state bonding for Sn-Ag-Cu solder bumps in ambient air », *Proceedings of the Electronic Packaging Technology Conference, EPTC*, vol. 00, n° 0, p. 1-6, 2007, doi: 10.1109/ICEPT.2007.4441378.
- [97] Oxford Instruments HKL, « HKL Channel 5 Manal ». p. 11.15-11.15.
- [98] Y. Zhou, « Microjoining and Nanojoining - 1st Edition-Chapter 1. Mechanisms of solid-state bonding processes. », .
- [99] W. Cai *et al.*, « A state-of-the-art review on solid-state metal joining », *Journal of Manufacturing Science and Engineering, Transactions of the ASME*, vol. 141, n° 3, 2019, doi: 10.1115/1.4041182.
- [100] K. Huang et R. E. Logé, « A review of dynamic recrystallization phenomena in metallic materials », *Materials and Design*, vol. 111, n° December, p. 548-574, 2016, doi: 10.1016/j.matdes.2016.09.012.
- [101] X. Rao *et al.*, « Influence of rolling temperature on microstructural evolution and mechanical behavior of AZ31 alloy with accumulative roll bonding », *Materials Science and Engineering A*, vol. 754, n° October 2018, p. 112-120, 2019, doi: 10.1016/j.msea.2019.03.047.
- [102] B. Tang, X. S. Qi, H. C. Kou, J. S. Li, et S. Milenkovic, « Recrystallization Behavior at Diffusion Bonding Interface of High Nb Containing TiAl Alloy », *Advanced Engineering Materials*, vol. 18, n° 4, p. 657-664, 2016, doi: 10.1002/adem.201500457.
- [103] J. Y. Zhang, B. Xu, N. Haq Tariq, M. Y. Sun, D. Z. Li, et Y. Y. Li, « Microstructure evolutions and interfacial bonding behavior of Ni-based superalloys during solid state plastic deformation bonding », *Journal of Materials Science and Technology*, vol. 46, p. 1-11, 2020, doi: 10.1016/j.jmst.2019.11.015.
- [104] M. R. Sriraman, S. S. Babu, et M. Short, « Bonding characteristics during very high power ultrasonic additive manufacturing of copper », *Scripta Materialia*, vol. 62, n° 8, p. 560-563, 2010, doi: 10.1016/j.scriptamat.2009.12.040.
- [105] D. A. Shnawah, M. F. M. Sabri, et I. A. Badruddin, « A review on thermal cycling and drop impact reliability of SAC solder joint in portable electronic products », *Microelectronics Reliability*, vol. 52, n° 1, p. 90-99, 2012, doi: 10.1016/j.microrel.2011.07.093.
- [106] J. J. Sundelin, S. T. Nurmi, et T. K. Lepistö, « Recrystallization behaviour of SnAgCu solder joints », *Materials Science and Engineering A*, vol. 474, n° 1-2, p. 201-207, 2008, doi: 10.1016/j.msea.2007.04.013.

- [107] P. T. Vianco, J. A. Rejent, et A. C. Kilgo, « Time-independent mechanical and physical properties of the ternary 95.5Sn-3.9Ag-0.6Cu solder », *Journal of Electronic Materials*, vol. 32, n° 3, p. 142-151, 2003, doi: 10.1007/s11664-003-0185-0.
- [108] G. Liu et S. Ji, « Microstructure, dynamic restoration and recrystallization texture of Sn-Cu after rolling at room temperature », *Materials Characterization*, vol. 150, n° December 2018, p. 174-183, 2019, doi: 10.1016/j.matchar.2019.02.032.
- [109] P. B. Prangnell *et al.*, *Fundamentals of Deformation and Annealing*, vol. 550. 2007, p. 570.
- [110] J. Y. Zhang *et al.*, « Evolution of the interfacial microstructure during the plastic deformation bonding of copper », *Materials Science and Engineering A*, vol. 746, n° November 2018, p. 1-10, 2019, doi: 10.1016/j.msea.2018.12.119.
- [111] C. Zhang, H. Li, et M. Li, « Role of surface finish on interface grain boundary migration in vacuum diffusion bonding », *Vacuum*, vol. 137, p. 49-55, 2017, doi: 10.1016/j.vacuum.2016.12.021.
- [112] M. Martinez *et al.*, « Mechanisms of copper direct bonding observed by in-situ and quantitative transmission electron microscopy », *Thin Solid Films*, vol. 530, n° March, p. 96-99, 2013, doi: 10.1016/j.tsf.2012.02.056.
- [113] E. Mariani et E. Ghassemieh, « Microstructure evolution of 6061 O Al alloy during ultrasonic consolidation: An insight from electron backscatter diffraction », *Acta Materialia*, vol. 58, n° 7, p. 2492-2503, 2010, doi: 10.1016/j.actamat.2009.12.035.
- [114] J. Xie, Y. Zhu, F. Bian, et C. Liu, « Dynamic recovery and recrystallization mechanisms during ultrasonic spot welding of Al-Cu-Mg alloy », *Materials Characterization*, vol. 132, n° 8, p. 145-155, 2017, doi: 10.1016/j.matchar.2017.06.018.
- [115] N. Sridharan, M. Norfolk, et S. S. Babu, « Characterization of Steel-Ta Dissimilar Metal Builds Made Using Very High Power Ultrasonic Additive Manufacturing (VHP-UAM) », *Metallurgical and Materials Transactions A: Physical Metallurgy and Materials Science*, vol. 47, n° 5, p. 2517-2528, 2016, doi: 10.1007/s11661-016-3354-5.
- [116] L. Zhou, S. Feng, M. Sun, B. Xu, et D. Li, « Interfacial microstructure evolution and bonding mechanisms of 14YWT alloys produced by hot compression bonding », *Journal of Materials Science and Technology*, vol. 35, n° 8, p. 1671-1680, 2019, doi: 10.1016/j.jmst.2019.04.005.
- [117] J. Y. Zhang, M. Y. Sun, B. Xu, et D. Z. Li, « Interfacial Microstructural Evolution and Metallurgical Bonding Mechanisms for IN718 Superalloy Joint Produced by Hot Compressive Bonding », *Metallurgical and Materials Transactions B: Process Metallurgy and Materials Processing Science*, vol. 49, n° 5, p. 2152-2162, 2018, doi: 10.1007/s11663-018-1313-9.
- [118] T. Hetschel, K. J. Wolter, et F. Phillipp, « Wettability effects of immersion tin final finishes with lead free solder », *Proceedings - 2008 2nd Electronics Systemintegration Technology Conference, ESTC*, p. 561-566, 2008, doi: 10.1109/ESTC.2008.4684411.
- [119] N.V. Kuznetsov, *Diffusion Bonding of Materials*. Publishers, Moscow, 1981, 1985.
- [120] T. Takenaka, M. Kajihara, N. Kurokawa, et K. Sakamoto, « Reactive diffusion between Ag and Sn at solid-state temperatures », *Materials Science and Engineering A*, vol. 406, n° 1-2, p. 134-141, 2005, doi: 10.1016/j.msea.2005.06.054.
- [121] M. Onishi et H. Fujibuchi, « Reaction-Diffusion in the Cu-Sn System. », *Trans Jpn Inst Metals*, vol. 16, n° 9, p. 539-547, 1975.
- [122] H. Zhang, J. L. Li, P. Y. Ma, J. T. Xiong, et F. S. Zhang, « Effect of grain boundary migration on impact toughness of 316L diffusion bonding joints », *Materials Research Express*, vol. 6, n° 7, 2019, doi: 10.1088/2053-1591/ab1206.
- [123] H. Peng *et al.*, « Underfilling fine pitch BGAs », *IEEE Transactions on Electronics Packaging Manufacturing*, vol. 24, n° 4, p. 293-299, 2001, doi: 10.1109/6104.980038.
- [124] J. Libres et K. Robinson, « Challenges in the Assembly of Large Die, High Bump Density Pb-Free Flip Chip Packages », *Int'l Electronics Manufacturing Technology Symposium*, 2007.

- [125] H. Y. You, Y. S. Lee, S. K. Lee, et J. S. Kang, « Reliability of 20 μ m micro bump interconnects », *Proceedings - Electronic Components and Technology Conference*, vol. c, p. 608-611, 2011, doi: 10.1109/ECTC.2011.5898575.
- [126] A. Horibe *et al.*, « No Clean Flux technology for large die flip chip packages », *Proceedings - Electronic Components and Technology Conference*, p. 688-693, 2013, doi: 10.1109/ECTC.2013.6575648.
- [127] A. B. Y. Lim *et al.*, « High throughput thermo-compression bonding with pre-applied underfill for 3D memory applications », *Proceedings of the 2016 IEEE 18th Electronics Packaging Technology Conference, EPTC 2016*, p. 427-434, 2017, doi: 10.1109/EPTC.2016.7861515.
- [128] P. Blais et F. Clement, « Reflow method for lead-free solder », 8,673,761, mars 18, 2014.
- [129] Test method standard microcircuits amsc, mil-std-883h. 2010.
- [130] T. Sakai, A. Belyakov, R. Kaibyshev, H. Miura, et J. J. Jonas, « Dynamic and post-dynamic recrystallization under hot, cold and severe plastic deformation conditions », *Progress in Materials Science*, vol. 60, n° 1, p. 130-207, 2014, doi: 10.1016/j.pmatsci.2013.09.002.
- [131] J. Sylvestre, « Integrated Modeling of C4 Interconnects », in *2007 Proceedings 57th Electronic Components and Technology Conference*, Sparks, NV, USA, 2007, p. 1084-1090, doi: 10.1109/ECTC.2007.373932.